

# SEMICONDUCTOR DEVICE AND POWER SWITCHING DRIVE SYSTEM PROVIDED WITH THE SAME

Patent number: JP2001168327

Publication date: 2001-06-22

Inventor: SAKAMOTO MITSUZO; INOUE HIRONORI; MIYAUCHI AKIHIRO; SHIRAISHI MASAKI; MORI MUTSUHIRO; WATANABE TOKUO; OYANAGI TAKASUMI

Applicant: HITACHI LTD

Classification:

- international: H01L29/78

- european:

Application number: JP19990349785 19991209

Priority number(s):

Also published as:

EP1111685 (A1)

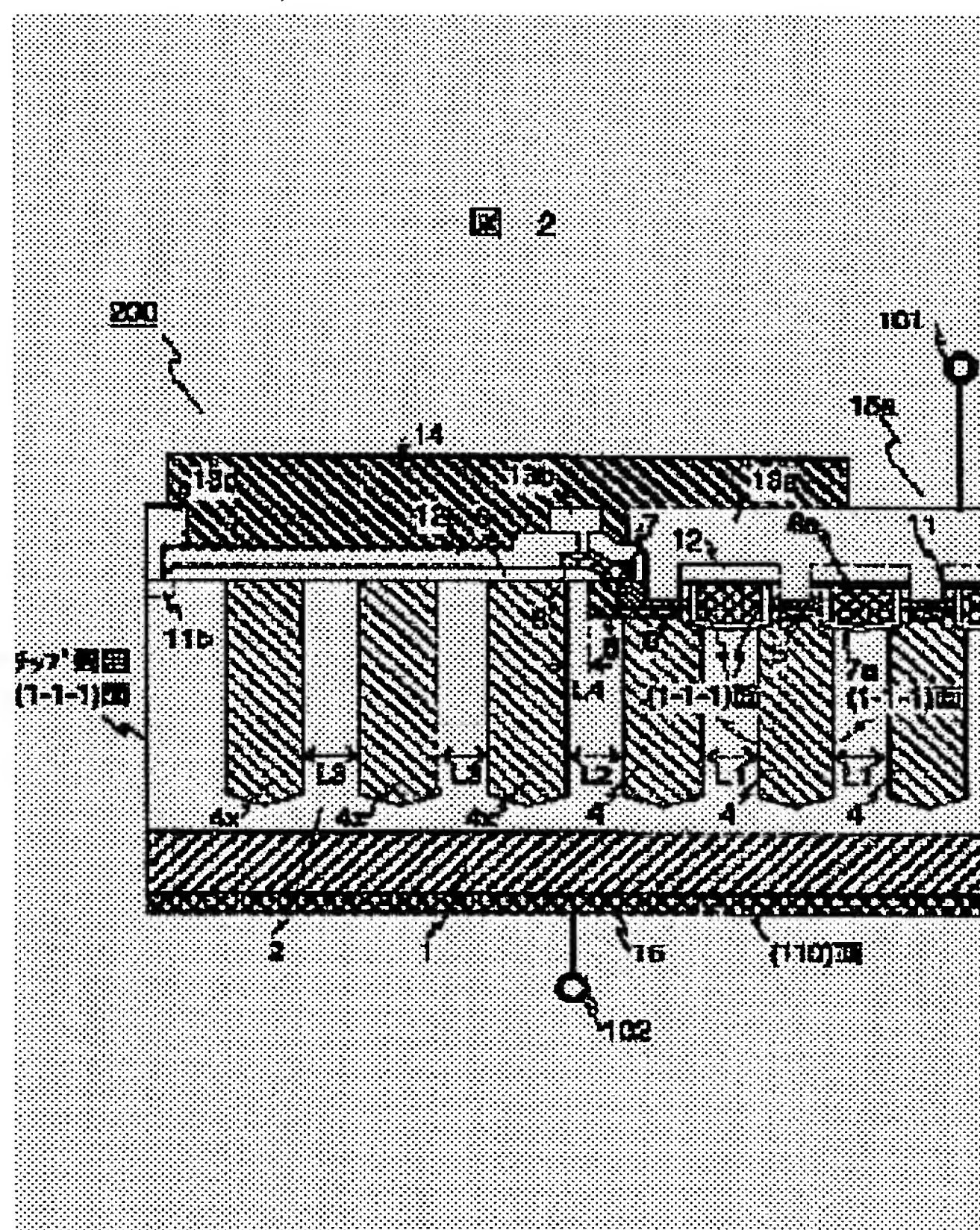
US6498368 (B2)

US2001005031 (A1)

## Abstract of JP2001168327

**PROBLEM TO BE SOLVED:** To enable a semiconductor device to be improved in withstand voltage and lessened in power loss.

**SOLUTION:** A semiconductor device is equipped with a first terminal 101 (source terminal) and a second terminal 102 (drain terminal), the substrate main surface of the semiconductor chip of the semiconductor device is a (110) crystal plane, the n-type region 2a and p-type region 4 of the semiconductor chip are so processed as to enable a {111} crystal plane vertical to the (110) crystal plane to serve as a main contact surface taking advantage of an anisotropic etching process, n-type regions 2 and p-type regions 4 alternately arranged adjacent to each other extending slenderly in the direction of a [110] axis are made to form a voltage holding region, the first terminal 101 is connected to the p-type region 4 with a wiring, and the second terminal 102 is connected to the n-type region 2. The p-type region A is formed so as to cover the base corner of a gate polycrystalline silicon layer 8.



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-168327

(P2001-168327A)

(43) 公開日 平成13年6月22日 (2001. 6. 22)

(51) Int.Cl.

識別記号

F I

テーマト\* (参考)

H 0 1 L 29/78

H 0 1 L 29/78

6 5 2 T

6 5 2 C

6 5 3 A

6 5 5 A

審査請求 未請求 請求項の数43 O L (全 31 頁)

(21) 出願番号

特願平11-349785

(22) 出願日

平成11年12月9日 (1999. 12. 9)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 坂本 光造

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 井上 洋典

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

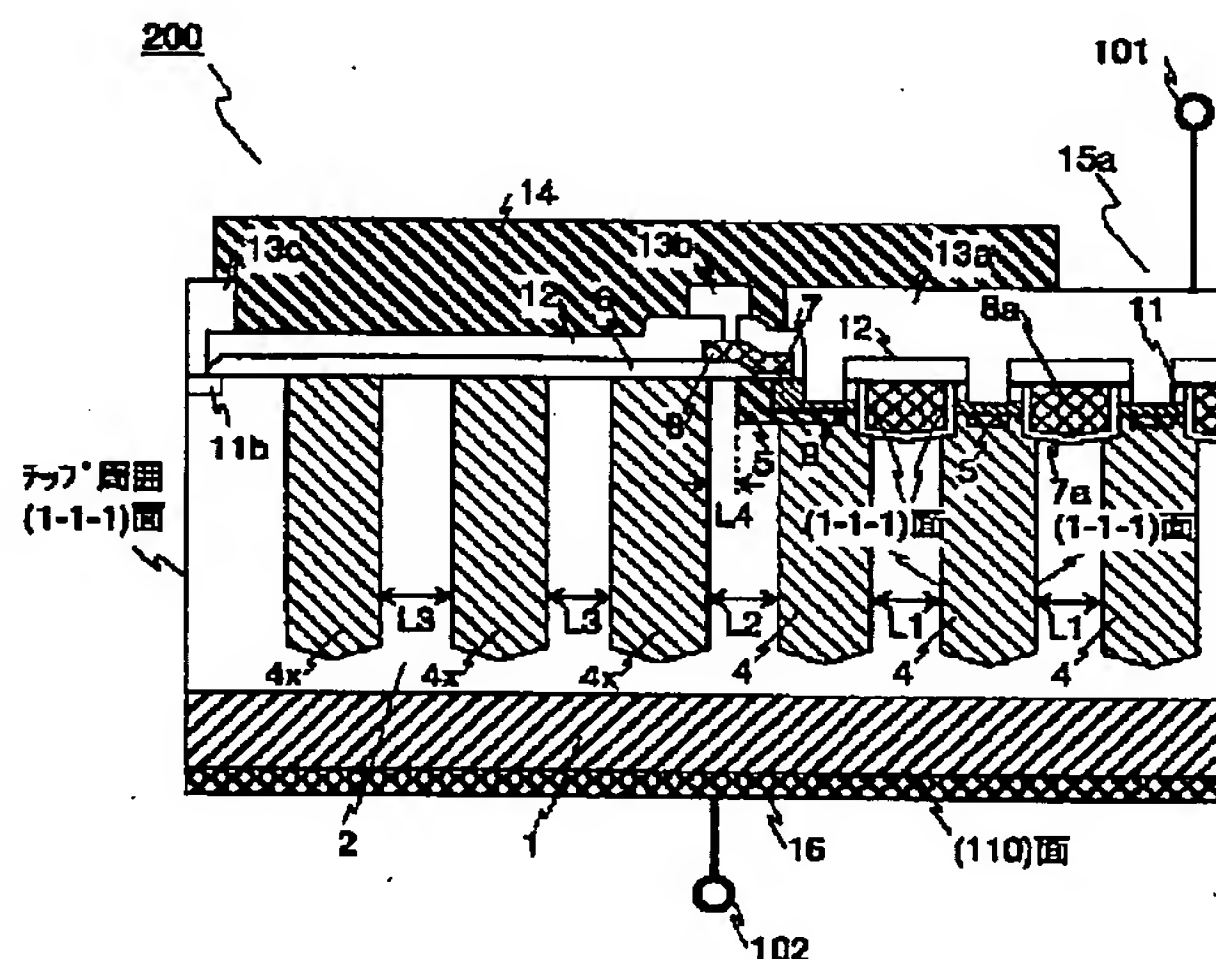
(54) 【発明の名称】 半導体装置とそれを用いたパワースイッチング駆動システム

(57) 【要約】

【課題】 半導体装置を高耐圧化、低損失化する。

【解決手段】 第1端子101 (ソース端子) と第2端子102 (ドレイン端子) を有する半導体装置の半導体チップの基板主表面は、(110) 結晶面とし、異方性エッチング工程を利用して、前記半導体チップのn型領域2aとp型領域4が(110) 結晶面と垂直な{111} 結晶面を主要接触面となるように加工し、[110] 軸方向に細長く伸びた形状で交互に隣接して配列したn型領域2とp型領域4は電圧保持領域を形成し、第1端子101はp型領域4へ配線で接続し、第2端子102はn型領域2に接続する。また、p型領域4はゲート用多結晶シリコン層8の底部角を覆うように形成する。

図 2





## 【特許請求の範囲】

【請求項1】第1端子と第2端子間に電圧が印加されたときに半導体チップの一部を貫いて空間電荷領域を形成することにより前記第1端子と前記第2端子間の電流通電を阻止する半導体装置において、

前記半導体チップの基板主表面は(110)結晶面とし、前記半導体チップの4つの側辺のうち対向する一組の側辺を(110)結晶面と垂直な{111}結晶面上とし、前記半導体チップ内に前記第2端子と電氣的に接続される第1導電型の第1領域と前記第1端子と電氣的に接続される第2導電型の第2領域が交互に隣接して配列する電圧保持領域を有し、

前記第1導電型の第1領域と前記第2導電型の第2領域の境界は[110]軸方向に伸びた形状であり、前記第1端子と前記第2端子間の電流通電を阻止する時には前記第1導電型の第1領域と前記第2導電型の第2領域からなる前記電圧保持領域に正及び負の空間電荷領域が交互に並ぶことを特徴とする半導体装置。

【請求項2】第1端子と第2端子間に電圧が印加されたときに半導体チップの一部を貫いて空間電荷領域を形成することにより前記第1端子と前記第2端子間の電流通電を阻止する半導体装置において、

前記半導体チップの基板主表面は(110)結晶面とし、前記半導体チップ内に前記第2端子と電氣的に接続される第1導電型の第1領域と前記第1端子と電氣的に接続される第2導電型の第2領域が交互に隣接して配列する電圧保持領域を有し、

前記第1導電型の第1領域と前記第2導電型の第2領域の境界は(110)結晶面と垂直な{111}結晶面を主要接触面として、[110]軸方向に伸びた形状であり、前記第1端子と前記第2端子間の電流通電を阻止する時には前記第1導電型の第1領域と前記第2導電型の第2領域からなる前記電圧保持領域に正及び負の空間電荷領域が交互に並ぶことを特徴とする半導体装置。

【請求項3】前記第1導電型の第1領域と前記第2導電型の第2領域の接合は少なくとも(110)結晶面と垂直な{111}結晶面を含む閉ループ内に形成されていることを特徴とする請求項1または請求項2に記載の半導体装置。

【請求項4】前記第1導電型の第1領域または前記第2導電型の第2領域の底部は下に凸の形状であることを特徴とする請求項1から請求項3のいずれかに記載の半導体装置。

【請求項5】第1端子と第2端子間に電圧が印加されたときに半導体チップの一部を貫いて空間電荷領域を形成することにより前記第1端子と前記第2端子間の電流通電を阻止する半導体装置において、前記半導体チップ内に前記第2端子と電氣的に接続される第1導電型の第1領域と前記第1端子と電氣的に接続

される第2導電型の第2領域が交互に隣接して配列する電圧保持領域を有し、

前記電圧保持領域の外部には前記第1導電型の第1領域の平均ネット不純物濃度より平均不純物濃度が2割以上低い第1導電型の第3領域を有し、

前記第1導電型の第3領域のなかには1つ以上の第2導電型の第4領域を有し、前記第1端子と前記第2端子に逆バイアスが印加された場合に前記第2導電型の第2領域から伸びた空間電荷領域が前記第2導電型の第4領域に達し前記電圧保持領域の外部の電界集中を緩和することにより高耐圧化を図る手段を具え、

前記第1端子と前記第2端子間の電流通電を阻止する時には前記第1導電型の第1領域と前記第2導電型の第2領域からなる前記電圧保持領域に正及び負の空間電荷領域が交互に並ぶことを特徴とする半導体装置。

【請求項6】第1端子と第2端子間に電圧が印加されたときに半導体チップの一部を貫いて空間電荷領域を形成することにより前記第1端子と前記第2端子間の電流通電を阻止する半導体装置において、

前記半導体チップ内に前記第2端子と電氣的に接続される第1導電型の第1領域と前記第1端子と電氣的に接続される第2導電型の第2領域が交互に隣接して配列する電圧保持領域を有し、

前記第2導電型の第2領域で挟まれた前記第1導電型の第1領域内の主要部の不純物濃度が前記第2導電型の第2領域から遠ざかると低くなるように形成し、

前記第1端子と前記第2端子間の電流通電を阻止する時には前記第1導電型の第1領域と前記第2導電型の第2領域からなる前記電圧保持領域に正及び負の空間電荷領域が交互に並ぶことを特徴とする半導体装置。

【請求項7】第1端子と第2端子間に電圧が印加されたときに半導体チップの一部を貫いて空間電荷領域を形成することにより前記第1端子と前記第2端子間の電流通電を阻止する半導体装置において、

前記半導体チップ内に前記第2端子と電氣的に接続される第1導電型の第1領域と前記第1端子と電氣的に接続される第2導電型の第2領域が交互に隣接して配列する電圧保持領域を有し、

前記電圧保持領域の外部には第1導電型の第3領域を有し、

前記第1導電型の第3領域のなかには1つ以上の第2導電型の第4領域を有し、

前記第1端子と前記第2端子に逆バイアスが印加された場合に前記第2導電型の第2領域から伸びた空間電荷領域が前記第2導電型の第4領域に達し前記電圧保持領域の外部の電界集中を緩和する手段を具え、

前記第2導電型の第4領域により囲まれる前記第1導電型の第3領域の単位面積当りのネット不純物量は前記第2導電型の第2領域により囲まれる第1導電型の第1領域の単位面積当りのネット不純物量より2割以上低く

し、

前記第1端子と前記第2端子間の電流通電を阻止する時には前記第1導電型の第1領域と前記第2導電型の第2領域からなる前記電圧保持領域に正及び負の空間電荷領域が交互に並ぶことを特徴とする半導体装置。

【請求項8】第1端子と第2端子間に電圧が印加されたときに半導体チップの一部を貫いて空間電荷領域を形成することにより前記第1端子と前記第2端子間の電流通電を阻止する半導体装置において、

前記半導体チップ内に前記第2端子と電氣的に接続される第1導電型の第1領域と前記第1端子と電氣的に接続される第2導電型の第2領域が交互に隣接して配列する電圧保持領域を有し、

前記電圧保持領域の外部には第1導電型の第3領域を有し、

前記第1導電型の第3領域のなかには1つ以上の第2導電型の第4領域を有し、

前記第2導電型の第4領域同士の間隔は前記第2導電型の第2領域同士の間隔の2割以上狭い間隔で配置し、

前記第1端子と前記第2端子に逆バイアスが印加された場合に前記第2導電型の第2領域から伸びた空間電荷領域が前記第2導電型の第4領域に達し前記電圧保持領域の外部の電界集中を緩和する手段を具え、

前記第1端子と前記第2端子間の電流通電を阻止する時には前記第1導電型の第1領域と前記第2導電型の第2領域からなる前記電圧保持領域に正及び負の空間電荷領域が交互に並ぶことを特徴とする半導体装置。

【請求項9】第1端子と第2端子間に電圧が印加されたときに半導体チップの一部を貫いて空間電荷領域を形成することにより前記第1端子と前記第2端子間の電流通電を阻止する半導体装置において、

前記半導体チップ内に前記第2端子と電氣的に接続される第1導電型の第1領域と前記第1端子と電氣的に接続される第2導電型の第2領域が交互に隣接して配列する電圧保持領域を有し、

前記電圧保持領域の外部には第1導電型の第3領域を有し、

前記第1導電型の第3領域のなかには前記第1導電型の第1領域の長さの2/3以上の長さを有する第2導電型の第4領域を有し、

前記第1端子と前記第2端子に逆バイアスが印加された場合に前記第2導電型の第2領域から伸びた空間電荷領域が前記第2導電型の第4領域に達し前記電圧保持領域の外部の電界集中を緩和する手段を具え、

前記第1端子と前記第2端子間の電流通電を阻止する時には前記第1導電型の第1領域と前記第2導電型の第2領域からなる前記電圧保持領域に正及び負の空間電荷領域が交互に並ぶことを特徴とする半導体装置。

【請求項10】前記第2導電型の第4領域同士間の実効間隔を狭くするために第2導電型の第5領域を半導体

主面に設けたことを特徴とする請求項7から請求項9までのいずれかに記載の半導体装置。

【請求項11】前記第2導電型の第4領域と前記第2導電型の第2領域を接続する第2導電型の第5領域を半導体主面に設けたことを特徴とする請求項7から請求項9までのいずれかに記載の半導体装置。

【請求項12】前記第2導電型の第4領域が半導体主面に対し垂直方向に分離し形成されており、

前記第1端子と前記第2端子との間の電流通電を阻止するように電圧が印加されると分離している前記第2導電型の第4領域間が空間電荷領域により電氣的に接続されて前記第1導電型の第1領域と前記第2導電型の第2領域からなる前記電圧保持領域に正及び負の空間電荷領域が交互に並ぶことを特徴とする半導体装置。

【請求項13】第1端子と第2端子間に電圧が印加されたときに半導体チップの一部を貫いて空間電荷領域を形成することにより前記第1端子と前記第2端子間の電流通電を阻止する半導体装置において、

前記半導体チップ内に前記第2端子と電氣的に接続される第1導電型の第1領域と前記第1端子と電氣的に接続される第2導電型の第2領域が交互に隣接した電圧保持領域を有し、

前記第1導電型の第1領域と第2導電型の第2領域からなるストライプ状の配列を前記半導体チップの周辺近傍まで延在させることにより前記電圧保持領域の外部の電界集中を緩和し高耐圧化を図る手段を具え、

前記第1端子と前記第2端子間の電流通電を阻止する時には前記第1導電型の第1領域と前記第2導電型の第2領域からなる前記電圧保持領域の正及び負の空間電荷領域が交互に並ぶことを特徴とする半導体装置。

【請求項14】前記第2導電型の第2領域が半導体主面に対し垂直方向に2個以上分離して形成されていることを特徴とする請求項1から請求項13に記載の半導体装置。

【請求項15】第1端子と第2端子間に電圧が印加されたときに半導体チップの一部を貫いて空間電荷領域を形成することにより前記第1端子と前記第2端子間の電流通電を阻止する半導体装置において、

前記半導体チップ内に前記第2端子と電氣的に接続される第1導電型の第1領域と前記第1端子と電氣的に接続される第2導電型の第2領域が交互に隣接して配列する電圧保持領域を有し、

前記第1導電型の第1領域と前記第2導電型の第2領域の境界は第1端子と第2端子間を流れる電流経路と平行であり、

前記第1端子と前記第2端子間の電流通電を阻止する時には前記第1導電型の第1領域と前記第2導電型の第2領域からなる前記電圧保持領域に正及び負の空間電荷領域が交互に並ぶ形となることを特徴とし、

前記第2導電型の第2領域の間隔が絶縁型半導体装置の



ゲートを介して対向するチャネル領域の間隔より狭いことを特徴とする絶縁ゲート型半導体装置。

【請求項16】第1端子と第2端子間に電圧が印加されたときに半導体チップの一部を貫いて空間電荷領域を形成することにより前記第1端子と前記第2端子間の電流通電を阻止する半導体装置において、前記半導体チップ内に前記第2端子と電氣的に接続される第1導電型の第1領域と前記第1端子と電氣的に接続される第2導電型の第2領域が交互に隣接して配列する電圧保持領域を有し、

前記第1導電型の第1領域と前記第2導電型の第2領域の境界は第1端子と第2端子間を流れる電流経路と平行であり、

前記第1端子と前記第2端子間の電流通電を阻止する時には前記第1導電型の第1領域と前記第2導電型の第2領域からなる前記電圧保持領域に正及び負の空間電荷領域が交互に並ぶ形となることを特徴とし、

前記第2導電型のチャネル領域で挟まる第1導電型の第6領域の平均濃度を前記第1導電型の第1領域の平均濃度より低くしたことを特徴とする絶縁ゲート型半導体装置。

【請求項17】第1端子と第2端子間に電圧が印加されたときに半導体チップの一部を貫いて空間電荷領域を形成することにより前記第1端子と前記第2端子間の電流通電を阻止する半導体装置において、

前記半導体チップ内に前記第2端子と電氣的に接続される第1導電型の第1領域と前記第1端子と電氣的に接続される第2導電型の第2領域が交互に隣接して配列する電圧保持領域を有し、

前記第1導電型の第1領域と前記第2導電型の第2領域の境界は第1端子と第2端子間を流れる電流経路と平行であり、

前記第1端子と前記第2端子間の電流通電を阻止する時には前記第1導電型の第1領域と前記第2導電型の第2領域からなる前記電圧保持領域に正及び負の空間電荷領域が交互に並ぶ形となることを特徴とし、

ゲートは半導体主面に形成されたトレンチ溝の中に形成されたゲート酸化膜を介して埋め込まれて設け、

前記トレンチ溝と接する第1導電型の第6領域は前記第1導電型の第1領域の不純物濃度より低濃度であることを特徴とする絶縁ゲート型半導体装置。

【請求項18】第1端子と第2端子間に電圧が印加されたときに半導体チップの一部を貫いて空間電荷領域を形成することにより前記第1端子と前記第2端子間の電流通電を阻止する半導体装置において、

前記半導体チップ内に前記第2端子と電氣的に接続される第1導電型の第1領域と前記第1端子と電氣的に接続される第2導電型の第2領域が交互に隣接して配列する電圧保持領域を有し、

前記第1端子と接続してある前記絶縁ゲート型半導体素

子のチャネル領域は前記第2導電型の第2領域と離間して形成し、

前記第1端子と前記第2端子との間の電流通電を阻止するように電圧が印加されると前記チャネル領域と前記第2導電型の第2領域は空間電荷領域により電氣的に接続されて前記第1導電型の第1領域と前記第2導電型の第2領域からなる前記電圧保持領域に正及び負の空間電荷領域が交互に並ぶことを特徴とし、

前記チャネル領域で囲まれる第1導電型領域直下の半分以上の領域が第1導電型の第1領域となる絶縁ゲート型半導体装置。

【請求項19】第1端子と第2端子間に電圧が印加されたときに半導体チップの一部を貫いて空間電荷領域を形成することにより前記第1端子と前記第2端子間の電流通電を阻止する半導体装置において、

前記半導体チップ内に前記第2端子と電氣的に接続される第1導電型の第1領域と前記第1端子と電氣的に接続される第2導電型の第2領域が交互に隣接して配列する電圧保持領域を有し、

前記第1端子と接続してある前記絶縁ゲート型半導体素子のチャネル領域は前記第2導電型の第2領域と離間して形成し、

前記第1端子と前記第2端子との間の電流通電を阻止するように電圧が印加されると前記チャネル領域と前記第2導電型の第2領域は空間電荷領域により電氣的に接続されて前記第1導電型の第1領域と前記第2導電型の第2領域からなる前記電圧保持領域に正及び負の空間電荷領域が交互に並ぶことを特徴とし、

前記チャネル領域で囲まれる第2導電型領域直下の半分以上が前記第2導電型の第2領域となる絶縁ゲート型半導体装置。

【請求項20】第1端子と第2端子間に電圧が印加されたときに半導体チップの一部を貫いて空間電荷領域を形成することにより前記第1端子と前記第2端子間の電流通電を阻止する半導体装置において、

前記半導体チップ内に前記第2端子と電氣的に接続される第1導電型の第1領域と前記第1端子と電氣的に接続される第2導電型の第2領域が交互に隣接して配列する電圧保持領域を有し、

前記第1導電型の第1領域と前記第2導電型の第2領域はストライプ状に形成され、

前記第1端子と接続してある前記絶縁ゲート型半導体素子のストライプ状にチャネル領域は前記第2導電型の第2領域と離間して形成し、

前記第1端子と前記第2端子との間の電流通電を阻止するように電圧が印加されると前記チャネル領域と前記第2導電型の第2領域は空間電荷領域により電氣的に接続されて前記第1導電型の第1領域と前記第2導電型の第2領域からなる前記電圧保持領域に正及び負の空間電荷領域が交互に並ぶことを特徴とし、

前記電圧保持領域を構成する前記第1導電型の第1領域と前記第2導電型の第2領域のストライプパターンはストライプ状の前記チャネル領域と $40^{\circ}$ 以上の角度を設けて交差してなる絶縁ゲート型半導体装置。

【請求項21】前記半導体装置が絶縁ゲート型半導体装置であり、ゲート酸化膜が第2のトレンチ溝の側面に形成されていることを特徴とする請求項1から請求項20のいずれかに記載の半導体装置。

【請求項22】前記第2のトレンチ溝側壁が(110)結晶面と垂直な{111}結晶面を主要接触面とすることを特徴とする請求項7に記載の半導体装置。

【請求項23】前記第1端子はパワーMOSFETのソース端子とし、前記第2端子は前記パワーMOSFETのドレイン端子としたことを特徴とする請求項1から請求項22のいずれかに記載の半導体装置。

【請求項24】前記第1端子はIGBTのエミッタ端子とし、前記第2端子は前記IGBTの第2導電型ベース領域とし、第2導電型の第7領域をIGBTのコレクタとしたことを特徴とする請求項1から請求項22のいずれかに記載の半導体装置。

【請求項25】前記第2導電型の第7領域と前記第2導電型の第2領域との間に第1導電型の第8領域を設け、前記第2導電型の第7領域と前記第2導電型の第2領域との間の単位面積当りのネット不純物量が前記第2導電型の第7領域で囲まれる前記第1導電型の第1領域の単位面積当りのネット不純物量の半分以上であることを特徴とする請求項24に記載の半導体装置。

【請求項26】前記第2導電型の第7領域と前記第2導電型の第2領域との間に第1導電型の第8領域を設け、前記第2導電型の第7領域と前記第2導電型の第2領域との間の長さが前記第2導電型の第7領域で囲まれる前記第1導電型の第1領域の間の半分以上であることを特徴とする請求項24に記載の半導体装置。

【請求項27】第1端子はSITのゲート端子とし、前記第2端子は前記SITのドレイン端子としたことを特徴とする請求項1から請求項14のいずれかに記載の半導体装置。

【請求項28】前記第1端子は前記第1導電型の第1領域に接続し、  
前記第2端子をショットキー接合に接続し、  
前記ショットキー接合と離間して前記第2導電型の第2領域を設け、  
前記第1端子と前記第2端子との間の電流通電を阻止するように電圧が印加されると前記チャネル領域と前記第2導電型の第2領域は空間電荷領域により電氣的に接続されて前記第1導電型の第1領域と前記第2導電型の第2領域からなる前記電圧保持領域に正及び負の空間電荷領域が交互に並ぶことを特徴とする請求項1から請求項14に記載のいずれかに記載の半導体装置。

【請求項29】前記第1端子(101)はバイポーラト

ランジスタのベース端子とし、前記第2端子(102)は前記バイポーラトランジスタのコレクタ端子としたことを特徴とする請求項1から請求項14のいずれかに記載の半導体装置。

【請求項30】第1端子はダイオードのカソード端子とし、前記第2端子は前記ダイオードのアノード端子としたことを特徴とする請求項1から請求項14のいずれかに記載の半導体装置。

【請求項31】前記第1端子(101)と前記第2端子(102)はサイリスタの高電圧pn接合ダイオードの両端部としたことを特徴とする請求項1から請求項14のいずれかに記載の半導体装置。

【請求項32】前記半導体素子がシリコンカーバイドであることを特徴とする請求項5から請求項31のいずれかに記載の半導体装置。

【請求項33】第1端子と第2端子間に電圧が印加されたときに半導体チップの一部を貫いて空間電荷領域を形成することにより前記第1端子と前記第2端子間の電流通電を阻止する半導体装置であって、

前記半導体チップの基板主表面は(110)結晶面とし、前記シリコン半導体チップ内に前記第2端子と電氣的に接続される第1導電型の第1領域と前記第1端子と電氣的に接続される第2導電型の第2領域が交互に隣接して配列する電圧保持領域を有し、

前記第1導電型の第1領域と前記第2導電型の第2領域の境界は[110]軸方向に伸びた形状であり、

前記第1端子と前記第2端子間の電流通電を阻止する時には前記第1導電型の第1領域と前記第2導電型の第2領域からなる前記電圧保持領域に正及び負の空間電荷領域が交互に並ぶ半導体装置を製造方法において、

$70.5^{\circ} \pm 5^{\circ}$  または  $109.5^{\circ} \pm 5^{\circ}$  で交差する4つの主要辺からなる多角形パターンをマスクとして異方性エッチング液で前記シリコン半導体チップに溝を形成する工程と、

前記溝をシリコン層で埋める工程を有することを特徴とする半導体装置の製造方法。

【請求項34】第1端子と第2端子間に電圧が印加されたときに半導体チップの一部を貫いて空間電荷領域を形成することにより前記第1端子と前記第2端子間の電流通電を阻止する半導体装置において、

前記半導体チップの基板主表面は(110)結晶面と

し、前記半導体チップ内に前記第2端子と電氣的に接続される第1導電型の第1領域と前記第1端子と電氣的に接続される第2導電型の第2領域が交互に隣接して配列する電圧保持領域を有し、

前記第1導電型の第1領域と前記第2導電型の第2領域は[110]軸方向に細長く伸びた形状であり、

前記第1端子と前記第2端子間の電流通電を阻止する時には前記第1導電型の第1領域と前記第2導電型の第2領域からなる前記電圧保持領域に正及び負の空間電荷領



域が交互に並ぶ形となり、この前記電圧保持領域に形成される正及び負の空間電荷領域で前記第1端子と前記第2端子間に印加される電圧の半分以上を支えることにより、前記第1端子と前記第2端子間の電流通電を阻止することを特徴とする半導体装置を製造方法として、前記半導体チップの4つの側辺のうち対向する一組の側辺を $(-1\ 1\ -1)$ 結晶面上または $(-1\ 1\ -1)$ 結晶面上とし、 $(-1\ 1\ -1)$ 結晶面上または $(-1\ 1\ -1)$ 結晶面上にそって形成されたホトマスクを用いて異方性エッチング液で前記半導体チップに溝を形成する工程と、前記溝をシリコン層で埋める工程を有することを特徴とする半導体装置の製造方法。

【請求項35】前記異方性エッチング工程の後に等方性エッチング工程を追加したことを特徴とする請求項32または請求項34記載の半導体装置の製造方法。

【請求項36】第1端子と第2端子間に電圧が印加されたときに半導体チップの一部を貫いて空間電荷領域を形成することにより前記第1端子と前記第2端子間の電流通電を阻止する半導体装置において、前記半導体チップ内に前記第2端子と電氣的に接続される第1導電型の第1領域と前記第1端子と電氣的に接続される第2導電型の第2領域が交互に隣接して配列する電圧保持領域を有し、前記第1導電型の第1領域と前記第2導電型の第2領域の境界は前記基板に対し垂直な方向に伸びた形状であり、前記第1端子と前記第2端子間の電流通電を阻止する時には前記第1導電型の第1領域と前記第2導電型の第2領域を有する前記電圧保持領域に正及び負の空間電荷領域が交互に並ぶ形となり、この前記電圧保持領域に形成される正及び負の空間電荷領域で前記第1端子と前記第2端子間に印加される電圧の半分以上を支えることにより、前記第1端子と前記第2端子間の電流通電を阻止することを特徴とする半導体装置の製造方法として、前記半導体チップの第1導電型の第1領域に溝を形成する工程と、

その後に前記第1導電型の第1領域をエピタキシャル成長により追加形成する工程と前記第2導電型の第2領域のシリコン層を前記シリコン溝のなかに形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項37】トレンチ溝形成後、前記溝に第1導電型の不純物をドーピングする工程を行った後に前記溝に第2導電型の第2半導体層を埋める工程を行うことを特徴とする請求項15から請求項18までのいずれかに記載の半導体装置の製造方法。

【請求項38】前記ゲート酸化膜が形成される第2トレンチ溝を異方性エッチング液で形成することを特徴とする請求項21から請求項26のいずれかに記載の半導体装置の製造方法。

【請求項39】前記第2導電型の第4領域を前記第2導電型の第2領域と同一工程で形成することを特徴とする請求項7から請求項12に記載の半導体装置の製造方法。

【請求項40】請求項1から請求項32のいずれかに記載の半導体装置を使用し、前記第1端子と前記第2端子間を導通遮断制御することにより負荷を駆動することを特徴とするパワースイッチング駆動システム。

【請求項41】第1端子と第2端子間に電圧が印加されたときに半導体チップの一部を貫いて空間電荷領域を形成することにより前記第1端子と前記第2端子間の電流通電を阻止する半導体装置において、前記半導体チップ内に前記第2の端子と電氣的に接続される第1導電型の第1領域と前記第1端子と電氣的に接続される第2導電型の第2領域が交互に隣接して配列する電圧保持領域を有し、前記電圧保持領域の外部にも前記第1導電型の第1領域を延在して有り、前記電圧保持領域の外部に延在して設けた前記第1導電型の第1領域のなかには第2導電型の第4領域を有し、前記第1導電型の第1領域は前記第1導電型の第1領域より高濃度の第1導電型の第9領域を介して前記第2端子と電氣的に接続してあり、前記第2導電型の第2領域と前記第2導電型の第4領域と前記第1導電型の第9領域との間には前記第1導電型の第1領域を設け、前記第1端子と前記第2端子に逆バイアスが印加された場合に前記第2導電型の第2領域から伸びた空間電荷領域が前記第2導電型の第4領域に達し前記電圧保持領域の外部の電界集中を緩和する手段を具え、前記第1端子と前記第2端子間の電流通電を阻止する時には前記第1導電型の第1領域と前記第2導電型の第2領域からなる前記電圧保持領域に正及び負の空間電荷領域が交互に並ぶことを特徴とする半導体装置。

【請求項42】前記第2導電型の第2領域と前記第2導電型の第4領域は平面的に同一方向に細長く平行に配置されていることを特徴とする請求項5、請求項7から請求項12、請求項41のいずれかに記載の半導体装置。

【請求項43】前記第1導電型の第1領域と前記第1導電型の第3領域と前記第2導電型の第2領域と前記第2導電型の第4領域の平面面積の合計が半導体チップ面積の95%以上を占めることを特徴とする請求項5、請求項7から請求項12、請求項41のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はパワーMOSFET、IGBT、バイポーラトランジスタ、SIT、ダイオード(p-n接合ダイオードとショットキーダイオード)、サ

イリスタ等の半導体装置およびその製造方法及びその半導体装置を用いた半導体スイッチシステムに関する。

【0002】

【従来の技術】従来の半導体素子を高耐圧化するためには主電流経路の端子を第1端子と第2端子とした場合、第1端子と第2端子間に電圧が印加されたときに半導体素子内部で発生する電界強度がアバランシェ降伏に至る臨界強度より低くなるように空乏層が形成される必要がある。このため、第1端子と第2端子間に電圧が印加されたときに空乏層が拡がり易いようにドリフト層領域の比抵抗は高く、電圧降下方向に対し長いドリフト層領域を形成する必要がある。このため、第1端子と第2端子間の耐圧を高くするにつれて、第1端子と第2端子間を電流導通モードの場合の抵抗値は急激に高くなるという問題があった。

【0003】これに対し、特公平2-54661号公報において、半導体本体と、少なくとも装置が高電圧動作モードの時この半導体本体の一部を貫いて空乏層を形成する手段とを具えている半導体装置において、前記半導体本体部がn型の第1領域を複数個具え、これらの第1領域の間にp型の第2領域をはさみ込み、これらの第1と第2の領域の総数を少なくとも4つとし、前記第1及び第2の領域のそれらの厚さに対して垂直の方向の長さを、少なくとも前記装置の高電圧動作モードにて前記半導体本体部内に拡がり空乏層により自由電荷キャリアが排除された時この半導体本体部間にて100V以上の電圧を担うのに十分な長さとし、少なくとも前記第1領域が少なくとも前記装置の1つの動作モードで前記半導体本体部を経て延在する電氣的に並列な電流経路を形成し、前記第1及び第2の領域の各々の厚さ及びドーピング濃度の値を、前記自由電荷キャリアが排除されて、前記100V以上の電圧を担う時に前記第1及び第2の領域が正及び負の空間電荷領域が交互に並ぶ形となり、この交互に積層された領域の各々における単位面積当りの空間電荷が、前記空間電荷による電界がこれを超えるとアバランシェ降伏を前記半導体本体部に生じしめる臨界強度よりも低くなる程度に平衡が保たれるような値とすることにより、低損失化と高耐圧化を同時に実現する半導体装置が提案されている。

【0004】さらに、上記特公平2-54661号公報の実施例として、前記第1及び第2の領域を形成するために、主表面の軸方向が〔110〕の低オーミックn型基板に高抵抗p型エピタキシャル層を成長し、異方性エッチャントを用い基板に達するまでエッチングをし、エピタキシャル層に切り立って側面を有する溝を形成し、次にn型エピタキシャル層を形成し、前記n型エピタキシャル層を前記第1領域として使用し、前記高抵抗p型エピタキシャル層を前記第2領域として使用する半導体装置に関しても提案されている。

【0005】一方、前記特公平2-54661号公報において

動作原理が開示されている高耐圧・低損失に適した半導体装置を実現するために好適な平面構造に関しては米国特許US5,438,215や米国特許US5,216,275において提案されている。

【0006】また、特開平10-223896号公報には、上記特公平2-54661号公報と同様な原理で低損失化と高耐圧化を同時に実現する半導体装置の製造方法としてシリコンのエッチング溝側面にイオン打ち込みを行う方法が提案されている。

【0007】さらに、ドイツ特許DE19730759には、上記p型の第2領域がMOSFETのボディ拡散層と離間した構造が提案されている。

【0008】

【発明が解決しようとする課題】上記特公平2-54661号公報の原理で高耐圧で低損失な半導体装置を実現するため、高電圧保持に使われるn型領域とp型領域の繰り返しパターンのピッチを狭くする一手法は特開平10-223896号公報で検討がなされているが構造方法の容易性や生産性は十分と言えなかった。

【0009】また、上記特公平2-54661号公報では(110)基板を用い異方性エッチングにより高電圧保持に使われるn型領域とp型領域の繰り返しパターンが形成できることが記述されているが、低損失化に適した平面構造に関しては検討がなされてなかった。また、上記特公平2-54661号公報の基本的原理に基づき高耐圧化を図った半導体装置に好適な平面構造は米国特許US5,438,215や米国特許US5,216,275において提案されているが、半導体基板として(110)結晶面を用いる場合に適した平面構造に関しては検討がなされてなかった。

【0010】上記ドイツ特許DE19730759においては高耐圧化と低損失化のために好適なデバイス構造とするためには改善の余地があった。

【0011】また、従来の高耐圧パワースwitchシステムで使用される半導体素子では高耐圧化のためドリフト領域は長くかつ不純物濃度を低く設計していたため、高電圧パワースwitchシステムで使用する場合、半導体素子で消費される電力は電源電圧レベルが高くなるほど大きくなるという問題があった。また、上記特公平2-54661号公報の原理を利用した従来の半導体素子の場合でも高電圧保持に使われるn型領域とp型領域の繰り返しパターンを狭くできないため、半導体素子で消費される電力は十分低くできないという問題があった。さらに上記繰り返しパターンが存在するために、例えばパワーMOSFETのドレイン・ソース間容量が大きくなるという問題があった。

【0012】本発明は、上記の問題を考慮してなされたものであり、高耐圧化または低損失化が容易となる半導体チップを用いた半導体装置とその製造方法を提供することにある。

【0013】



【課題を解決するための手段】本願発明による半導体装置は、半導体チップ内においては、細長く伸びた形状の第1導電型の第1領域と、同様の形状の第2導電型の第2領域が交互に隣接して配列される電圧保持領域を有する。第1領域は第2端子に接続され、第2領域は第1端子に接続される。第1及び第2端子間に電圧が印加され、かつ電流通電が阻止されるとき、第1及び第2領域によって形成される電圧保持領域には、正および負の空間電荷領域が交互に並ぶ。ここで、第1および第2導電型は、それぞれp型またはn型であり、互いに反対の導電型である。さらに、本願発明による半導体装置は、次に記す構成A～Eのいずれかを有する。

【0014】A. 半導体チップの基板主表面を(110)結晶面とし、半導体チップの4つの側辺のうち対向する1組の側辺を(110)結晶面と垂直な{111}結晶面上とし、第1および第2領域は[110]軸方向に細長く伸びる。

【0015】B. 半導体チップの基板主表面を(110)結晶面とし、第1領域と第2領域は、(110)結晶面と垂直な{111}結晶面を主要接触面として、[110]軸方向に細長く伸びる。

【0016】C. 電圧保持領域の外周に、第1領域より平均不純物濃度が低い第1導電型の第3領域を備える。

【0017】D. 半導体装置が絶縁ゲート型半導体装置であって、第2領域とチャネル領域が離間している。

【0018】E. 半導体装置がトレンチゲート型の絶縁ゲート型半導体装置であって、第2領域の間隔がトレンチゲートの間隔よりも広い。

【0019】本発明による半導体装置の製造方法であって、上記AまたはBの構成を有する半導体装置の製造方法は、次のFまたはGの工程を含む。

【0020】F.  $70.5^\circ \pm 5^\circ$  または  $109.5^\circ \pm 5^\circ$  で交差する4つの主要辺からなる多角形パターンをマスクとして異方性エッチング液で半導体チップに溝を形成する工程、および溝を半導体層で埋める工程。

【0021】G. 半導体チップの4つの側辺のうち対向する1組の側辺を(1-1-1)結晶面上または(1-1-1)結晶面上とし、(1-1-1)結晶面上または(1-1-1)結晶面上にそって形成されたホトマスクを用いて異方性エッチング液で半導体チップに溝を形成する工程、および溝を半導体層で埋める工程。

【0022】上述したような第1および第2領域によって形成される電圧保持領域を有する半導体装置の製造方法であって、本発明による製造方法は、電圧保持領域を形成するために、半導体チップに溝を形成する工程と、溝の中に第1および第2の領域を形成する工程と、を有する。

【0023】本発明によれば、電圧保持領域を高精度で形成でき、または電流通電が阻止されるとき、電圧保持領域の電圧保持機能を向上することができる。従って、

高耐圧化または低損失化が容易となる。

【0024】本発明の他の特徴については、以下の記載により明らかになるであろう。

【0025】

【発明の実施の形態】以下、本発明に係る半導体装置とそれを用いたパワースイッチシステムの実施例につき、添付図面を参照しながら以下詳細に説明する。

【0026】なお、本明細書では結晶面はミラー指数で表記するが、負方向の指数を表記するためのバー符号はマイナス符号で代用することにする。また、{ } は通常の表記法通り、等価な対称性を持つ面を表し、例えば、{111}面は(111)面、(-1-1-1)面、(11-1)面、(1-11)面、(-111)面、(1-1-1)面、(-11-1)面、(-1-11)面の全てを表わす。また、[ ] は結晶内の方向を表し、例えば、[110]軸は(110)面に垂直な軸を表す。また、説明を分かりやすくするため、例えば、(1-1-1)面と(-111)面のような同一結晶面を表から見た場合と裏からみた場合の表記法の区別はしないことにする。

【0027】〈実施例1〉図1は本発明の第1の実施形態を示す半導体装置の平面図、図2は本発明の第1実施形態を示す半導体装置がパワーMOSFETである場合の図1のa-a線に沿う縦断面図、図3と図4は本半導体装置の製造方法の一例である。

【0028】図1において、本半導体装置は第1端子(図2ではソース端子)101と第2端子(図2ではドレイン端子)102間に電圧が印加されたときにシリコン半導体チップ200の一部を貫いて空乏層を形成することにより前記第1端子と前記第2端子間の電流通電を阻止する手段を具えている半導体装置であり、シリコン半導体チップ200の基板主表面は(110)結晶面とし、前記シリコン半導体チップの中央部に前記第2端子102と電気的に接続されるn型領域2と前記第1端子101と電気的に接続されるp型領域4が(110)結晶面と垂直な{111}結晶面を主要接触面として、[110]軸方向に細長く伸びた形状で交互に隣接して配列した電圧保持領域を設けてある。第1端子101は半導体主表面に配置されたあるアルミニウム等の電極取出領域15aにボンディングワイヤ等の導電性配線で接続しており、さらに、電極取出領域15aからp型領域4へ配線で接続する構造となっている。一方、第2端子102はヘッダ等の導電性領域を介し裏面電極16に接続されn型領域2に接続してある。

【0029】前記第1端子101と前記第2端子102間の電流通電を阻止する時にはn型領域2とp型領域4からなる前記電圧保持領域に正及び負の空間電荷領域が交互に並ぶ形となり、この前記電圧保持領域に形成される正及び負の空間電荷領域で前記第1端子101と前記第2端子102間に印加される電圧の半分以上を支える

ことにより、前記第1端子と前記第2端子間の電流通電を阻止する。一方、第1端子101と第2端子102の間に電流が流れる導通モードの時には主電流がこの電圧保持領域であるn型領域2を半導体主面に対し垂直に流れる。

【0030】また、図1においてこの電圧保持領域の周辺で図の上下方向にアクティブ領域にあるp型領域4を延長させて、アクティブ領域と同じ原理で上下方向の周辺部との耐圧劣化を防止している。また、周辺で図の左右方向には上記p型領域4と同一工程で形成されるフィールドリミティング領域4xをp型領域4と平行に形成し、第1端子101と第2端子102間の耐圧が半導体チップ200の周辺部の半導体表面における電界集中により著しく低下することを防止している。

【0031】従って、本実施例によれば、主ドレイン電流が流れるアクティブ領域のみならず半導体チップ周辺近傍にまで延在させることによりp型領域4、4xとn型領域2からなるpn接合の繰り返しパターンを平面的にも同一方向に細長く延びたストライプ状に伸ばすことにより、周辺部も含めた素子の高耐圧化を図っていることが特徴である。本実施例では、上記p型領域4、4xと半導体チップの周辺との距離は50 $\mu$ m以下にしてある。なお、本実施例ではp型領域4、4xを半導体チップと平面寸法と同程度の長さのストライプ領域を用いた場合を示してあるが、所々にn型領域2で分割した平面構造にしても構わない。この場合には、p型領域4、4xとなる領域に溝3を形成したとき（後述する図4(a)の工程）にn型領域2が破損しやすくなることを防止できる。見方を変えると電圧保持領域を構成するストライプ状のp型領域4、4xとn型領域2からなるpn接合の平面面積の合計が半導体チップ面積の95%以上を占めるように形成する。

【0032】本図では紙面の関係で、フィールドリミティング領域4xの本数が3本の場合を示してあるが、必要耐圧により本数は増減しても構わない。さらに、本半導体チップの周辺にはn型領域11bを設け、p型領域4、4xからの空乏層の伸びを抑える。

【0033】本発明の構造をより詳しくかつ具体的に説明するために本実施例の本半導体素子がパワーMOSFETの場合を例に取り説明する。図2には図1のa-a線に沿う縦断面図を示してある。本実施例のパワーMOSFETは多結晶シリコンゲート8aを図1のp型拡散層4の間のn型拡散層2の上に細長く形成したストライプ構造である。多結晶シリコンのゲート8aとソース端子101の電圧をゼロボルトとし、第1端子101であるソース端子に対し第2端子102であるドレイン端子に正の電圧を印加するとn型領域2とp型領域4が交互に隣接して配列する電圧保持領域に正及び負の空間電荷領域が交互に並ぶ形となり、電流通電を阻止する。このとき電圧保持領域のp型領域4により挟まれたn型領域2は従来の

パワーMOSFETのドリフト領域として使用される不純物濃度より高く設定してあるが、上記p型領域4とこれにより挟まれたn型領域2との間の電界がシリコンの臨界電界に到達する前に、上記p型領域4とこれにより挟まれたn型領域2が完全空乏化するように上記p型領域4とこれにより挟まれたn型領域2のピッチを狭くしてあるため不純物濃度を増加してもドレイン・ソース間の耐圧劣化は防止できる。一方、ゲート8aに正のゲート電圧を印加するとドレイン端子102からソース端子101に電流が流れる導通モードになるが、この場合には従来のパワーMOSFETに比べ不純物濃度が高いn型領域2を電流が流れるため従来に比べオン抵抗を格段に低くできる。このように高耐圧と低損失の特徴を兼ね備えられるように電圧保持領域を構成するn型領域2とp型領域4の繰り返しパターンの接合と垂直方向に積分したネット不純物量は望ましくは各々 $5 \times 10^{11}/\text{cm}^2$  から  $2 \times 10^{13}/\text{cm}^2$  の間またはそれ以下となるように設定してある。なお、n型領域2とp型領域4が交互に隣接して配列する電圧保持領域は後に述べる本発明の製造方法によりシリコン基板に対し、ほぼ垂直に形成するため深さ方向の長さを長くできる。このため、容易に高耐圧素子を製造できる。また、上記電圧保持領域を構成するp型領域4の主要底面は(110)面以外の結晶面が現れて、下に凸の形状となる。

【0034】次に、本発明に係る半導体装置の製造方法の一例をドレイン耐圧が600V程度のパワーMOSFETを例として図3と図4に従って説明する。

【0035】図4(a)の断面図に示すように、半導体主表面が(110)面でヒ素またはアンチモン等のn型不純物をドーブした約5m $\Omega$ cmの高濃度n型シリコン基板1上に、厚さ約45 $\mu$ m、抵抗値は0.5 $\Omega$ cmから15 $\Omega$ cm程度のn型エピタキシャル層2を形成した後に、表面酸化膜20a、20bを形成し、図1に示したように、(1-1-1)面と(-11-1)面上に主要な辺を有する平行四辺形パターンをホトレジマスマとして用いて酸化膜20aのパターンニングを行う。

【0036】ここで、本半導体装置の半導体チップは図3の平面図に示すように半導体主表面が(110)面で、電圧保持領域の境界の少なくとも1組の対向した辺はシリコンチップの側辺と平行であるとレイアウト設計が容易になる。このため、半導体チップの4つの側辺のうち対向する1組の側辺は(110)結晶面と垂直な{111}結晶面上とする。すなわち、側辺は(1-1-1)面と(1-12)面か(-11-1)面と(112)面にする。従って、本半導体装置を製造する場合のウエハの合わせ角度基準となる主フラット面は(110)面と直交する{111}面または{112}面であるものを使用することが望ましい。(1-1-1)面か(1-12)面を主フラット面とする場合には電圧保持領域のマスマパターンの主要境界線の一つは半導体チッ



ブの(1-1-1)面の側面と平行のものを用意する。また(-11-1)面か(1-1-2)面を主フラット面とする場合には電圧保持領域のマスクパターンの主要境界線の一つは半導体チップの(-11-1)面の側面と平行となるように電圧保持領域の境界をレイアウトしたものを用意することが望ましい。更に、(110)面に対し垂直な4つの主要側面を有するシリコンエッチング溝を形成するために、上記主要境界線と $70.5^\circ$ または $109.5^\circ$ で交差する線をもう一組の主要な辺とし、これら二組の境界を主要な境界とした閉ループを電圧保持領域であるp型領域4とn型領域2の境界をつくる基準マスクとして設計する。この結果、n型領域2とp型領域4の接合は(110)結晶面と主直な{111}結晶面を含む閉ループに形成される。

【0037】なお、図1、図2、図4では半導体ウエハの主フラット面を(1-1-1)とし、半導体チップの側面は(1-1-1)面と(1-12)面とした場合の実施例を示しているが主フラット面を(-11-1)面や(1-12)面や(1-1-2)面とした場合にも図3に示したように高だか主要面となる4つの平面パターンの向きが変わるだけで、断面構造が得られる特性は同じである。

【0038】次に、この酸化膜20aをマスクにして水酸化カリウム等の異方性エッチング特性の高い溶液を用いシリコンのエッチング溝3を形成する。これにより、マスクとして用いる酸化膜20aに対しサイドエッチングを最小限に抑えられて[110]軸方向にエッチングがなされる。この結果、シリコンエッチング溝3の主要側面として(110)基板に対しほぼ垂直な(1-1-1)面または(-11-1)面が形成される。

【0039】ここで、上記酸化膜20aのパターンニングはドライエッチング、または、裏面にもレジストを着けた状態でウェットエッチングし、酸化膜20aの形成工程で同時に形成された裏面の酸化膜20bやシリコンウエハの側面の酸化膜がエッチングされないようにする。これにより、上記シリコンエッチング工程において、シリコンウエハの周辺や裏面のように、シリコンエッチングしたくない場所のエッチングを防止し、シリコンウエハの破損の原因となるエッチングの傷が生成されないようにしている。

【0040】また、ホトマスクのパターンとシリコン結晶面との交差角度のずれがあるほどサイドエッチ量は増加し、また、シリコンエッチングの溝を深くすることができなくなる。そこで、本特許で述べるマスクや主フラット等の角度の誤差は、理想的には $0.2^\circ$ 以下が望ましく、現実的には $\pm 5^\circ$ より十分高い精度で行う。

【0041】ただし、図1の実施例のようにp型領域4とn型領域2が細長いストライプ形状の繰り返しとなる場合にはシリコンエッチング溝3のマスクは主要な4辺のうち、長辺は上述のように高精度で(1-1-1)面

と平行にする必要があるが、短辺に関してはレイアウトを容易にするために(1-1-1)面と直角方向にしても構わない。この場合には前記短辺の側面には基板に対し垂直でない{111}面が現れ、この短辺の近辺ではシリコン溝が浅くなるが、このシリコン溝が浅くなる領域が長辺方向の長さに比べ十分短い場合には、ストライプの主要部分には深いシリコンエッチング溝が形成されるためである。

【0042】次に、図4(b)の断面図に示すように、酸化膜20a、20bを除去した後に抵抗率が $0.5\Omega\text{cm}$ から $15\Omega\text{cm}$ 程度のp型エピタキシャル層4を約 $3\mu\text{m}$ 堆積して、シリコン溝3を埋める。

【0043】次に、図4(c)の断面図に示すように、p型エピタキシャル層4をエッチングし、n型エピタキシャル層2が現れるまでシリコンエッチングする。ここで、平坦化のためのシリコンエッチング量の制御は図4(a)に示した酸化膜20aの一部または全てをシリコンエッチングのマスクガイドとしてパターンニングして残しておき、その後、p型エピタキシャル層4のエッチングを行い上記酸化膜パターンを基準にシリコンエッチングをすることにより達成できる。

【0044】なお、図4(b)で示したp型エピタキシャル層4の成長工程でHCl量の流量を最適化し、シリコン溝3の底部から選択エピタキシャル成長させた場合にはp型エピタキシャル層4の中に空洞が形成され難くなるためp型エピタキシャル層4において耐圧劣化が生じなくなるため望ましい。また、p型エピタキシャル層4をエッチングし、n型エピタキシャル層2が現れるまでシリコンエッチングするエッチバック工程を省略することも可能となる。

【0045】上記工程により耐圧保持領域のためのn型領域とp型領域の接合面に対し垂直方向に積分したネット不純物量は共にほぼ $1 \times 10^{12}/\text{cm}^2$ のオーダまたはそれ以下となるように抵抗値と繰り返しピッチを選択し、電流遮断モードにおいてはほぼ完全空乏化することにより高耐圧化と低オン抵抗化を達成している。

【0046】次に、図4(d)に示すように約 $2 \times 10^{13}/\text{cm}^2$ のボロンをイオン打ち込みし、深さ約 $2\mu\text{m}$ のp型拡散層5を形成後、酸化膜6a、6bをマスクにして、再び水酸化カリウム等の異方性エッチング特性の高い溶液を用い第2のシリコンのエッチング溝17を形成する。上記のシリコンのエッチング溝3の形成と同様にマスクパターンの主要境界線は(110)結晶面と垂直な{111}面、すなわち(1-1-1)面または(-11-1)面となるようにレイアウトしたマスクを用いてシリコンエッチする。

【0047】このため、シリコンの場合には $70.5^\circ \pm 5^\circ$ または $109.5^\circ \pm 5^\circ$ で交差する4つの主要辺からなる多角形パターンをマスクとして使用することになる。

【0048】裏面の酸化膜6bを残してシリコンエッチング溝17を形成する理由はシリコンエッチング溝3を形成した場合と同じである。

【0049】次に、図4(e)に示すようにフィールド酸化膜となる領域以外の酸化膜6をエッチングし、ゲート酸化を行い約50nmの酸化膜7を形成する。

【0050】次に、図4(f)に示すように厚さ約500nm、抵抗が約10Ωの多結晶シリコン層8を形成し、次にレジスト22をマスクにして多結晶シリコン層8をエッチングする。

【0051】これにより、図4(g)に示すように多結晶シリコン層8のパターニングによりMOSFETのゲート電極8aを形成する。なお、上記酸化膜7のうちゲート酸化膜部は7aと記した。その後、約1.5μm深さのボディ用のp型拡散層9と深さ約0.2μmのソース用のn型拡散層11を形成する。その後、酸化膜12が約600nmとなるように厚くし、ソース用のコンタクトの穴を開く。

【0052】次に、図4(h)に示すように酸化膜12をマスクにして、ソースコンタクトの穴がボディ用のp型拡散層9に到達するまでシリコンエッチングを行う。ここで、p型拡散層9とオーミックなコンタクトを取るように必要に応じボロンのイオン打ち込みを行う。なお、n型拡散層11bのコンタクトは上記工程とは別マスクで行いシリコンエッチングは行わない。

【0053】その後、厚さ約3μmのアルミニウム電極層を形成し、パワーMOSFETのソース領域となるアルミニウム電極13aとゲート電極13b、チップエッジ側電極となる13cをパターニングし、さらに第1端子の電極取り出し部であるソース用電極パッド15aとゲート用電極パッド(図示なし)と半導体チップのスクライブ領域以外に保護膜14を形成する。

【0054】その後、シリコンの厚さが約250μmとなるようにバックエッチを行い裏面電極16を形成することにより、図2の断面構造となる。

【0055】なお、p型領域4とn型領域2のpn接合境界は熱工程を経ることにより、シリコンエッチング溝を形成したときの面から移動するが拡散により移動した後も接合の主要面の結晶面は変化しない。

【0056】また、上記図4(b)の工程では通常のエピタキシャル成長を行った場合を示してあるが、図4(a)の状態から選択エピタキシャル成長により単結晶シリコン層の溝3の中だけにp型エピタキシャル層4を図4(i)に示すように形成し、その後選択エピタキシャル成長した領域の欠陥防止のため、酸化またはシリコンエッチによる欠陥除去工程を行うか、選択エピタキシャル成長領域にイオン打ち込みを行いその後の熱工程により欠陥が回復するようにして、その後に図4(c)の構造となるようにしても構わない。

【0057】本実施形態によれば、高耐圧化に必要なn

型領域2とp型領域4の繰り返しパターンを形成するために、(1-1-1)面の2辺とこの2辺と約70.5°または109.5°の角度で交差する(-11-1)面の2辺からなる平行四辺形のパターンをマスクにして、水酸化カリウム等の面方位性の高いアルカリ性エッチング液でエッチングを行い、このエッチング面を基準にして、高耐圧化に必要な耐圧保持領域となるp型領域4とn型領域2の繰り返しパターンを形成しているため、マスクに対するシリコンのサイドエッチが最小限となり、電圧保持領域を構成するp型領域4とn型領域2の繰り返しピッチ間隔を狭くし、かつ長くとれるという特徴がある。(110)基板を用いた異方性エッチングを行っても平面レイアウトを上述のように適切に選ばないと基板に対し垂直でない結晶面が現れるためサイドエッチの進行や深さ方向へのエッチング速度の低減が局部的に発生し、pn接合の平面ピッチ寸法を狭くできなかったりシリコンのエッチング溝を深く形成できないという問題があったが、本実施形態によれば、電圧保持領域のp型領域4とn型領域2の繰り返しピッチを狭くできるため、p型領域4とn型領域2の濃度を上げて、上記p型領域4とn型領域2に逆方向電圧が印加されたときのpn接合の最大電界を臨界電界強度以下としたまま完全空乏化できる。従って、高耐圧素子の低損失化が可能であるという効果がある。また、電圧保持領域のp型領域4とn型領域2の繰り返しピッチと深さ方向の長さは結晶面とシリコンエッチングマスクの角度制御を正確に行うことによりp型領域4とn型領域2の繰り返しピッチの間隔を10μm程度以下にしてもシリコンのエッチング溝深さを40μm以上深く形成できる。このため、第1端子と第2端子との耐圧が600V以上の高耐圧素子でも容易に作れ、従来素子に比べオン抵抗の低減も格段に向上できるという効果がある。

【0058】さらに、本実施形態によれば、高耐圧化に必要なp型領域4とn型領域2の細長い繰り返しパターン形成工程に水酸化カリウム等のアルカリ性水溶液を用いた異方性エッチングを利用するため、同時に数十枚のウエハにエッチング溝を形成できる。このため、通常一枚ごとにエッチングを行うドレイエッチング方式に比べ、シリコンのエッチングレートが同じ条件の場合でも、スループットは10倍以上に向上するため、プロセスコストの低減に効果がある。

【0059】さらに、本実施形態によれば、半導体チップを製造する場合のマスク合わせの基準となる主フラットを(100)と垂直な{111}面上または{112}面上に設け、さらに、半導体チップの側面の2辺は上記主フラットと平行となるように半導体ウエハに配置し、上記p型領域4のパターンとn型領域2aの境界の基準となるシリコンエッチング溝を形成するためのマスクパターンの4つの主要な辺のうちの対向する1組の2辺は半導体チップの側面と平行となるように(1-1-



1) 面上または(−11−1)面上に配置するという特徴がある。このため、主要な4辺が平行四辺形になるものの、そのうちの対向した1組の2辺はレイアウト設計作業においてxy座標と平行にレイアウトすることができ、このため、水酸化カリウム等の異方性エッチングを用いたシリコンエッチング溝形成パターンのレイアウト設計の煩雑さが軽減でき、設計コストの低減に効果がある。

【0060】さらに、本実施形態によれば、ソースコンタクト用のシリコン溝17形成にもシリコン溝3の形成と同様に水酸化カリウム等の異方性エッチングを用いることが可能であり、ドライエッチングを用いた場合に比べプロセスコストの低減が可能である。また上記シリコン溝17のエッチング溝形成パターンのレイアウト設計に関してもシリコン溝3の形成と同様な手段によりシリコンエッチング溝形成パターンのレイアウト設計の煩雑さが軽減でき、設計コストの低減に効果がある。

【0061】さらに、本実施形態によれば、電圧保持領域に用いるp型不純物領域4の間隔はゲート8aを介して対向するチャネル拡散領域9の間隔より狭くしてある。別の見方をすると、電圧保持領域に用いるp型不純物領域4の間隔はトレンチゲートの幅より狭くし、トレンチゲートの底部の角は電圧保持領域に用いるp型不純物領域4で覆っている。従って、トレンチゲートの底部の角での電界集中を防ぐことが可能であるため、ドレイン耐圧の向上とゲート酸化膜の信頼性向上が図れるという効果がある。また、p型不純物領域4より2倍以上高濃度のチャネル拡散層9はトレンチゲートより浅くし、オン抵抗の増加を抑えている。なお、ここで、p型不純物領域4の不純物濃度はチャネル拡散層9より十分低いため、しきい電圧の増加や相互コンダクタンスgmの低下原因としては無視できる。

【0062】本実施例では、シリコン半導体素子を例に取り説明したが、特にシリコンカーバイド(SiC)の場合にはn型領域2での空乏層の伸びが短くても高電圧を保持できるためトレンチゲートの底部の角での電界集中によるゲート酸化膜の耐圧劣化やドレイン耐圧劣化問題が厳しくなるため、上述のようにp型不純物領域4はトレンチゲートの間隔より広くし、トレンチゲートの底部の角は電圧保持領域に用いるp型不純物領域4で覆うことがさらに重要となる。

【0063】さらに本実施例では多結晶シリコンゲート8a直下が電圧保持領域に用いるn型領域2で、多結晶シリコンゲート8aの間の下部に電圧保持領域に用いるp型領域4を形成するストライプ構造である。このため、この両者を垂直にした場合に比べ実効的に働くチャネル長を短くできるためオン抵抗の低減やgm(相互コンダクタンス)を向上できるという特徴がある。

【0064】さらに、本実施例では周辺耐圧を確保するためのフィールドリミテイング領域として上記電圧保持

領域として働くp型不純物領域4の形成工程と同時にできるp型不純物領域4xを使用するためプロセスコストの増加がないという効果がある。これは、フィールドリミテイング領域であるp型不純物領域4xをn型エピタキシャル層2の厚さ(n型エピタキシャル層2と高濃度n型基板1との境界は不純物濃度が $5 \times 10^{17}/\text{cm}^3$ の位置と定義する)の3/4以上の深さに形成できるため周辺領域での電界集中を緩和でき、周辺領域のドレイン領域であるn型領域2の濃度が高くても高耐圧化できるためである。

【0065】さらに、p型不純物領域4、4xはn型エピタキシャル層2の厚さより浅く形成し、p型不純物濃度4、4xと高濃度n型基板1との間にn型エピタキシャル層2の領域(不純物濃度が $5 \times 10^{17}/\text{cm}^3$ 以下の領域)が残るように形成してある。このため、p型不純物領域4、4xの底部で耐圧劣化することない。

【0066】すなわちアクティブ領域である電圧保持領域に使用されるn型領域とアクティブ領域の外側に耐圧劣化防止のため設けるn型領域とp型不純物領域4、4xの下で耐圧劣化防止のために設けるn型領域は全て同じn型エピタキシャル層2であり、同質に一度に形成している。このため、プロセスを複雑にせず高耐圧化が可能となる。

【0067】また、p型不純物領域4とp型不純物領域4xとの間隔L2やp型不純物領域4xの間隔L3にあるn領域のネット不純物量はp型不純物領域4の間隔L1にあるn型領域ネット不純物量より2割以上少なくし、端子101と端子102の間に逆電圧が印加されたときに、フィールドリミテイング領域であるp型領域4xに空乏層が到達できるようにする必要がある。これは端子101に接続してあるp型領域からは、端子102に電圧が印加される空乏層がすぐ伸び始めるのに対し、端子101と直接接続してないフィールドリミテイング領域であるp型領域4xからは隣接p型領域からの空乏層が到達するまで空乏層が伸びないためである。

【0068】本実施例の場合には電圧保持領域のn型領域と周辺領域のn型領域の不純物濃度が同じであるため、p型不純物領域4とp型不純物領域4xとの間隔L2やp型不純物領域4xの間隔L3はp型不純物領域4の間隔L1より2割以上短く形成し、端子101と端子102の間に逆電圧が印加されたときに、p型不純物領域4とはn型領域2により隔離されているフィールドリミテイング領域であるp型領域4xに空乏層が到達できるようにしてある。これにより、周辺部での電界集中が緩和され高耐圧化が図れる。なお、図2の場合にはp型不純物領域4とp型不純物領域4xとの間隔L2はp型拡散層5により、実効的に狭められている。このような場合の実効的な間隔p型不純物領域4とp型不純物領域4xとの間隔はL2の代りにL4で判断する。また、本実施例では、n型領域2の不純物濃度はL1、L2、L

3のいずれも同じ濃度で構わない。このため、n型領域2は一度の工程で形成できる均一濃度のエピタキシャル層で実現でき、製造コストが高くななくてすむという利点がある。なお、本実施例の場合フィールドリミティング領域であるp型不純物領域4xのネット不純物量と隣接するn型不純物濃度2のネット不純物量はほぼ等しくし、完全空乏化しやすくすることが望ましい。このため、p型不純物領域4xのネット不純物量はp型不純物領域4のネット不純物量より2割以上少なくする。従って、p型不純物領域4、4xの不純物濃度が等しい場合にはp型不純物領域4xの幅はp型不純物領域4の幅より2割以上短くすることが望ましい。

【0069】なお、図1の縦方向の周辺に関しては電圧保持領域であるp型領域4とn型領域2を半導体チップの周辺まで延長させる形状にしていることが特徴である。本形状により電圧保持領域であるn型領域2とp型領域4が深さ方向に対して高耐圧化が図れた原理と同様にして周辺部の耐圧を確保することもできる。

【0070】このように、ストライプ状のp型拡散領域4、4xとn型領域2を利用することにより、アクティブ領域の電圧保持領域のみならず周辺耐圧の向上もプロセス工程の増加なく図ることができる。

【0071】なお、p型領域4を形成するためにドライエッチングを用いる場合や、埋込層で電圧保持領域のn型領域2とp型領域4を形成する場合には横方向の耐圧確保に関しても上記電圧保持領域のn型領域2とp型領域4を半導体チップの周辺まで延在させることにより周辺部の耐圧を確保させる構造をとることが可能であるという特徴がある。

【0072】さらに本実施例では電圧保持領域のp型領域4をシリコンエッチング溝3の中に埋め込んだ後に平坦化する工程で図4(a)に示した酸化膜20aの少なくとも一部をシリコンエッチングのマスクガイドとして残しておき、p型エピタキシャル層4のエッチングを行う。これにより、シリコンエッチング量の制御は上記マスクガイドを基準としてシリコンエッチングすることが可能である。このため電圧保持領域のn型領域2とp型領域4のパターンとその後の工程のマスクパターンとの合わせを高精度に行うことが可能であるという効果がある。

【0073】なお、本実施例ならびに以下の実施例では水酸化カリウム等の異方性エッチング特性の高いウェットのエッチングを用いた場合を中心に説明したが、ドライの異方性エッチングによってシリコンエッチング溝3を形成することもできる。この場合には、スルーボット面ではウェットの異方性エッチング法に比べ劣るものの、上述した半導体結晶面の制限や平面パターンの角度に関する制約がなくても構わないため設計が容易になるという効果があり、その他の効果はウェットの異方性エッチングの場合と同じである。

【0074】〈実施例2〉図5は本発明の第2実施形態を示す半導体装置の平面図である。本実施例の場合には半導体チップの対向する1組の辺として図1と同様に

(1-1-1)面を選んだ場合の実施例でありa-a部の断面構造は図2と同じになる。本実施例では、電圧保持領域であるp型領域4とn型領域2はメッシュ構造で繰り返しパターンを形成している。本実施例の場合にも実施例1の場合と同様に高耐圧と低損失の特徴を兼ね備えられるように電圧保持領域を構成するn型領域2とp型領域4の繰り返しパターンが隣接する間の不純物量は $5 \times 10^{11}/\text{cm}^2$ から $2 \times 10^{13}/\text{cm}^2$ の間となるように設定してある。

【0075】本実施例は電圧保持領域として働くn型領域2上に多結晶シリコンゲート8aを形成し、電圧保持領域として働くp型領域4上にパワーMOSFETのチャネル用p型拡散層9を形成したメッシュゲート型パワーMOSFETである。ここで、実施例1の場合と同様に電圧保持領域として働くp型不純物領域4の幅はトレンチゲートの間隔より広くし、トレンチゲートの底部の角は電圧保持領域に用いるp型不純物領域4で覆うことにより、トレンチゲートの底部の角での電界集中を防ぐことができる。これにより、ドレイン耐圧の向上とゲート酸化膜の信頼性向上が図れるという効果がある。

【0076】実施例1において述べたように水酸化カリウム等を利用したウェットの異方性エッチングを持ちいた場合には、電圧保持領域として働く上記p型領域4は図1に示すように平面的には(-11-1)面と(1-1-1)面で囲まれる平行四辺形パターンとすることにより、実施例1と同様に前記p型領域4とn型領域2の境界の主要側面は基板に対し垂直な{111}面となる。このため、本実施例の場合にも実施例1の場合と同様に電圧保持領域として働くp型領域4とn型領域2を深くかつ狭いピッチで形成できるため、高耐圧化と低損失化が安いプロセスで実現できるという効果がある。また、本実施例のようにメッシュ型のシリコン溝パターンはストライプ型に比べシリコンエッチング直後の形状(図4(a)の構造)が丈夫になるため歩留まりが向上するという効果がある。

【0077】また、本実施例では周辺部の耐圧を確保するために電圧保持領域に使用するp型拡散層4と同一工程で形成されるp型拡散層をフィールドリミティング領域としてメッシュ状に配置している。この配置の間隔に関する最適条件は実施例1の図2を用いて説明した寸法L1、L2、L3の条件と同じであり、p型不純物領域4の間隔L1よりp型不純物領域4xの間隔を狭くし空乏層を接続されやすくしてある。

【0078】以上のように、本実施例の場合は電圧保持領域と周辺構造がメッシュ構造である場合の実施例であり、パワーMOSFET等の絶縁ゲート型半導体素子においてチャネル幅をストライプ型ゲート構造より長く取れるメ



ツシュ型ゲート構造を使用するため実施例1に示した構造よりチャネル部のオン抵抗成分が低くなり低損失化が図れるという効果がある。その他の点に関しては実施例1と同様にシリコン半導体装置の高耐圧化、低損失化、低コスト化が図れるという効果がある。

【0079】〈実施例3〉図6は本発明の第3実施形態を示す半導体装置の平面図である。本実施例の場合には周辺部の高耐圧化に用いているp型不純物領域4xの間に低濃度で浅いp型不純物領域18を追加した場合の実施例である。

【0080】本実施例の場合にはp型不純物領域18を介して空乏層が半導体チップの周辺部に向かって拡がりやすくなるために、電圧保持領域部のp型領域4と周辺耐圧向上のために形成するp型拡散層4xとの間隔であるL2ならびに周辺耐圧向上のために形成するp型拡散層4x同士の間隔L3が、電圧保持領域部のp型領域4同士の間隔L1と同じでも周辺部の耐圧が得られやすくなるという効果がある。このため、高耐圧化のための平面設計が容易になるという効果がある。また、寸法L2、L3をL1に比べ狭くする必要がなくなるため、寸法L1をプロセス条件が許す範囲で最小寸法に設計することが可能となる。このため、高耐圧化と低損失化を最適化しやすくなるという効果がある。

【0081】その他の点に関しては、本実施例の場合にも実施例1と同様にシリコン半導体装置の高耐圧化、低損失化、低コスト化が図れるという効果がある。

【0082】〈実施例4〉図7は本発明の第4実施形態を示す半導体装置の断面図である。本実施例の場合には第1エピタキシャル層2pをp型とし、第2エピタキシャル層4nをn型とした場合を示してある。本実施例の場合には、図8に示すように第1エピタキシャル層2p、2pxに高濃度n型領域1に達するシリコンエッチング溝3を形成した後に第2エピタキシャル層4nを形成して平坦化し、その後、第1エピタキシャル層2が現れるまでエッチバックすることにより実現できる。ここで、ドレイン電流が流れるアクティブ領域部近辺のn型領域4nとp型領域2pは図1の場合のn型領域2とp型領域4に対応し電圧保持領域として働く。また、p型領域2pxは図1の場合のp型領域4xに対応し、フィールドリミティング領域として働く。

【0083】本実施例ではドレインの電流経路ができるようにシリコンエッチング溝を深くする必要があるという制約があるがその他の構造は図2の場合と同様である。従って、本実施例の場合にも実施例1と同様にシリコン半導体装置の高耐圧化、低損失化、低コスト化が図れるという効果がある。

【0084】〈実施例5〉図9は本発明の第5実施形態を示す半導体装置の断面図である。本実施例はp型領域4、4xを第1電極101と接続するために、実施例1で述べた製造過程でp型の第2エピタキシャル層4を形

成し、図4(b)の構造となった後に第2エピタキシャル層4、4bをエッチングするわけであるが、この時p型エピタキシャル層4、4bのエッチング時間を短くして、半導体チップの周辺部の表面にもp型領域4xが形成され、図6と同様の構造が得られるようにしたことに特徴がある。

【0085】本実施例ではp型拡散層18の形成工程不要となる。ただし、半導体チップの終端のp型領域4xをなくすためには半導体表面のp型領域4xの深さをn型拡散層11bより浅くするか、n型拡散層17を形成する必要がある。

【0086】本実施例の場合にも図6に示した実施例3と同様にシリコン半導体装置の高耐圧化、低損失化、低コスト化が図れるという効果がある。

【0087】〈実施例6〉図10は本発明の第6実施形態を示す半導体装置の断面図である。本実施例と図2の実施例の主な相違はゲートがトレンチ構造であるかプレーナ構造であるかの相違点だけである。このため、MOSFETのチャネル拡散領域における損失成分は実施例1の図2の場合に比べれば高くなるがこの領域での抵抗成分が低い場合には本実施例のようにプレーナ構造の方がプロセスコストが低くてすむという利点がある。本実施例の場合には電圧保持領域に使用されるp型領域4の幅をチャネル拡散層9の間隔より広くしチャネル拡散層9の底部の角を電圧保持領域に使用されるp型領域4で覆うことにより、チャネル拡散層9の底部の角での電界集中を防げる。このため、ドレイン耐圧の向上とゲート酸化膜の信頼性向上が図れるという効果がある。この効果はシリコン半導体素子の場合にも有効であるが特にSiCにおいては実施例1の場合と同様の理由により重要となる。なお、ここで、p型不純物領域4の不純物濃度はチャネル拡散層9より十分低いため、しきい電圧の増加や相互コンダクタンス $g_m$ の低下原因としては無視できる。

【0088】本実施例の場合にも実施例1と同様に半導体装置の高耐圧化、低損失化、低コスト化が図れるという効果がある。

【0089】〈実施例7〉図11は本発明の第7実施形態を示す半導体装置の断面図である。本実施例は図10に示した電圧保持領域に用いられるp型領域4とp型領域4xとn型領域2を埋込層形成とエピタキシャル層形成を繰り返すことによって実現する場合の断面図である。すなわち、まず図12(a)に示すように高濃度n型基板上にn型エピタキシャル層2aを形成した後にp型埋込層4aを形成する。

【0090】更に、図12(b)に示すようにn型エピタキシャル層2bを形成し、次に、図12(c)に示すようにp型埋込層4bを形成する。

【0091】更に、上記工程を繰り返して行うことにより図11の構造となる。本実施例の場合にはn型エピタ

キシヤル層2 a~2 g, p型領域4 a~4 b, p型領域4 a~4 fが各々図10のn型エピタキシヤル層2, p型領域4, p型領域4 xに対応している。

【0092】本実施例ではチャネル用のp型拡散層9があるところには電圧保持領域のp型拡散層4を構成するp型拡散層4 gを形成しないようにしてある。すなわち、電圧保持領域のp型拡散層4がゲート酸化膜に達しないようにしていることが特徴である。従って、本実施例の場合には図12の場合に比べp型領域4がしきい電圧やgmに与える影響が小さい。その他の点に関しては本実施形態の場合は電圧保持領域を多段の埋込層と多段のエピタキシヤル層によって形成しているということだけが、図10に示した実施例6とことなるだけであり、ケミカルの異方性エッチングを用いた場合の利点はないもののその他の効果に関しては図10に示した実施例6と同様である。なお、本実施例の場合にも電圧保持領域のp型領域4とフィールドリミテイング領域4 xとは同一工程で実現できるという利点がある。また、本実施例の場合にも電圧保持領域に使用されるp型領域4の間隔をチャネル拡散層9の間隔より狭くしチャネル拡散層9の底部の角を電圧保持領域に使用されるp型領域4で覆うことにより、チャネル拡散層9の底部の角での電界集中を防げる。このため、ドレイン耐圧の向上とゲート酸化膜の信頼性向上が図れるという効果がある。その他の特徴効果に関しても実施例1と同様に半導体装置の高耐圧化、低損失化、低コスト化が図れるという効果がある。

【0093】なお、本実施例ではp型埋込層のみを使用して電圧保持領域を形成していたが、図12に示した製造工程において電圧保持領域のn型領域2間にn型埋込層を形成し、電圧保持領域のn型領域2の不純物濃度の周辺部のフィールドリミテイング領域として働くp型領域4 xで囲まれるn型領域2の濃度より高くすることも可能である。この場合には製造工程は複雑になるものの高耐圧・低損失を達成するための電圧保持領域の条件と周辺部の耐圧を保持するための条件を独立に決められるため、設計が容易となるという効果がある。なお、この場合にも、実施例1で述べたL1, L2, L3部の不純物濃度と寸法に関する条件は同じである。

【0094】〈実施例8〉図14は本発明の第8実施形態を示す半導体装置の断面図である。本実施例と図1の実施例の相違は電圧保持領域に使用されるp型領域4の幅をトレンチゲート8 aの間隔より広くするだけでなく、チャネル拡散層9とp型領域4との間をp型領域5で接続させていることが特徴である。本実施例でp型領域5は半導体主面からのイオン打ち込み、または図12で示したような埋込層を用いた製造方法により形成できる。本実施例の場合、トレンチゲートの底の角のゲート酸化膜7 aはn型領域2と接しているが、この部分でのn型領域2の幅は狭いため、p型領域4とゲート電極8

に印加される電圧により容易に空乏化しやすい形状となっている。このため、トレンチゲートの底の角には高電界が印加されない構造になっている。従って、本実施例の場合にはp型領域4によりしきい電圧の増加やgmの低下を生じさせることなく、ゲート酸化膜の信頼性低下が防止できさらにドレイン耐圧の劣化も防止できるという特徴がある。その他の面では本実施例の場合にも実施例1と同様にシリコン半導体装置の高耐圧化、低損失化、低コスト化が図れるという効果がある。

【0095】〈実施例9〉図14は本発明の第9実施形態を示す半導体装置の断面図である。本実施形態は図4(a)の説明で述べたシリコンエッチング工程の後に、シリコンエッチング溝3にリンガラスを堆積し、そのリンガラスからの不純物拡散または斜め方向からのイオン打ち込み等の手段により図15に示すようにn型エピタキシヤル層2より高濃度のn型拡散層2 xをp型領域4の周りに形成していることが特徴である。すなわち、電圧保持領域として働くp型領域4で挟まれた、電圧保持領域として働くn型領域2, 2 x内の主要部のネット不純物濃度が前記p型領域4から遠ざかると低くなるように形成してあることが特徴である。

【0096】本実施例の場合には、電圧保持領域のn型領域のドーソ量はp型領域4型で囲まれるn型領域2 x, 2の合計で決まる。従って、n型領域2 xの濃度をn型領域2より十分高くすることにより主にn型領域2 xの不純物ドーソ量だけにより電圧保持領域のn型領域に必要なn型不純物ドーソ量を正確に制御することが可能となる。また、周辺部の耐圧を確保するためにn型領域2の濃度を低くすることが可能であるためp型拡散層5 aのように浅い拡散層を用いた従来のフィールドプレートを使用しても周辺部の耐圧劣化を防止できる。このためアクティブ領域（電圧保持領域）の高耐圧化と低損失化の条件と周辺部の耐圧確保を容易に達成できるという効果がある。このため、電圧保持領域の外部のn型領域2の濃度は、電圧保持領域として働くn型領域2, 2 xの平均不純物濃度より2割以上濃度を低くする必要がある。その他の工程は図4に示した製造方法と同じである。図16は本実施例のネット不純物分布である。本実施例の場合の特徴は前記p型領域4で挟まれたn型領域内においてはn型領域2 xであるため電圧保持領域のn型領域2, 2 xの平均不純物濃度は周辺部のn型領域2より高濃度になっていることである。さらに詳しく述べるならば、p型領域4から、最も離れたn型領域の不純物濃度がp型領域4の近傍の不純物濃度より低いことである。なお、本図においてn型拡散層2 xの拡散時間が長い場合やもともとp型領域4の間隔が狭い場合には高濃度のn型拡散層2 xが拡散しp型領域4の間には低濃度のn型領域2がない形状となるが本実施例の効果は変わらない。

【0097】このため、本実施例の場合には図4の説明



で述べたようなn型領域2とn型領域2aとの濃度制御工程がなくても、アクティブ領域直下の電圧保持領域に用いるn型領域2aとn型領域2bはほぼ $1 \times 10^{12}/\text{cm}^2$ のオーダとなるように低抵抗化を図り、半導体チップの周辺部のn型領域2は従来素子と同等の $20 \Omega\text{cm}$ 程度以上の高抵抗の値にして、周辺部での耐圧劣化を防止することが容易に可能となる。また、本構造の電圧保持領域を形成するためのシリコンのエッチング溝は形成直後、鋭角ではあるもののその後の拡散工程によりn型拡散2bからn型領域2aの方向のみならず、p型領域4の方向にも拡散層が伸びることにより接合接触面の角が丸くなり、電界集中が緩和されるという効果がある。このため高耐圧化が容易であるという効果がある。

【0098】本実施例の場合にも実施例1と同様にシリコン半導体装置の高耐圧化、低損失化、低コスト化が図れるという効果がある。

【0099】なお、本実施例ではシリコンのエッチング溝から不純物拡散を行い、この不純物領域を電圧保持領域の一部として利用している。本実施例の場合には使用する基板が(110)面に限らずドライエッチングにより形成したシリコン溝に対して実施しても同様な効果が得られる。

【0100】〈実施例10〉図17には本発明の第10実施形態を示す半導体装置の縦断面図である。本実施形態では図4(b)の説明で述べたp型エピタキシャル層4の形成の前に図18に示すようにn型領域2より低抵抗のn型エピタキシャル層2yを形成し、その後p型エピタキシャル層4を形成していることが特徴である。

【0101】図19は本実施例のネット不純物分布である。本実施例の場合も実施例9の場合と同様に特徴は前記p型領域4で挟まれたn型領域内においてはp型領域4から、最も離れたn型領域の不純物濃度がp型領域4の近傍の不純物濃度より低いことである。

【0102】本実施例の場合は前記p型領域4で挟まれたn型領域内においてはp型領域4から、最も離れたn型領域の不純物濃度が半導体チップの周辺部のn型領域2と同等の不純物濃度を有し、p型領域4に隣接する領域では半導体チップの周辺部のn型領域2の不純物濃度より高いn型領域2yが存在することである。

【0103】すなわち、アクティブ領域直下の電圧保持領域に用いるn型領域2と2yのネット不純物量はほぼ $1 \times 10^{12}/\text{cm}^2$ のオーダとなるように低抵抗化を図り、半導体チップの周辺部のn型領域2は従来素子と同等の $20 \Omega\text{cm}$ 程度の高抵抗の値にすることにより、周辺部での耐圧劣化を防止したことに特徴がある。このため、本実施例の場合にも図14に示した実施例9と同様にアクティブ領域のオン抵抗と耐圧条件の最適化と周辺部での耐圧確保の条件を同時に満足させやすいという特徴がある。

【0104】また、本実施例の場合にも実施例1と同様

にシリコン半導体装置の高耐圧化、低損失化、低コスト化が図れるという効果がある。

【0105】なお、本実施例でもシリコンのエッチング溝上に2種類のエピタキシャル層を形成し、この領域を電圧保持領域の一部として利用しているが、本実施例の場合には使用する基板が(110)面に限らずドライエッチングにより形成したシリコン溝に対して実施しても同様な効果が得られる。

【0106】〈実施例11〉図20は本発明の第11実施形態を示す半導体装置の断面図である。本実施例でも特徴を明確に示すため図は簡略化して記載してあるが図11の実施例と同様に電圧保持領域に使用されるp型領域4の間隔をチャネル拡散層9の間隔より狭くするだけでなく、ゲート酸化膜に達しないようにしていることが特徴であり、図13の場合に比べp型領域4のしきい電圧や $g_m$ に与える影響が小さくなるという効果がある。

【0107】さらに、本実施例の場合には周辺部の耐圧を向上するためのp型領域4xを酸化膜6にぶつからないように形成してある点が特徴である。本構造はシリコン溝を使用する方法で図4cの構造を得た後に、表面だけ全体にn型不純物ドーピングすることや追加のn型エピタキシャル層を形成することや図11で示したp型埋込層4gを形成しないようにすることにより実現できる。

【0108】本構造の場合には、半導体表面での電荷の影響をp型領域4xが受けにくいため、周辺部の耐圧が安定するという効果がある。その他の面では本実施例の場合にも図10の実施例6と同様に半導体装置の高耐圧化、低損失化、低コスト化が図れるという効果がある。

【0109】〈実施例12〉図20には本発明の第12実施形態を示す半導体装置の縦断面図である。本実施例と図19の実施例の相違点は電圧保持領域のn型領域2zをチャネル拡散層5で挟まったn型領域2sより高濃度にしてある点である。すなわち、チャネル拡散層9で挟まったn型領域2sは低濃度化し空乏層が広がりやすくすることにより電界を緩和し、電圧保持領域のn型領域2zは高濃度化しオン抵抗と耐圧が最適化できるようにしてあることが特徴である。これにより、ドレイン耐圧劣化やゲート酸化膜の信頼性低下の原因となる電界集中を防止すると同時にオン抵抗の低下も行うことが可能となる。さらに、n型領域2zを周辺部のp型領域4xの間には設けないようにすることにより、周辺部の耐圧を確保するために設けたp型拡散層4xはドレイン端子102に電圧が印加された時にp型拡散層4xの間のn型領域2で空乏層がのびやすくなる。このため、p型拡散層4を配置するピッチとp型拡散層4xを配置するピッチを等しくすることも可能となる。本構造を実現するには例えば図11に示した埋込層を用いる方法や半導体主面にボロン等のp型不純物を拡散させてn型領域2zの正味の濃度を低下させる方法やエピタキシャル層2の形成時に低濃度にしておく方法等により実現できる。上

の本実施例のように低濃度なn型領域2sが存在する場合にはp型拡散層4の間隔をチャネル拡散領域9の間隔より広くすることが可能である。このため、電圧保持領域である2zの幅を広げることが可能であるため低損失化が容易となるという効果がある。また、低濃度のn型領域2sがある場合にはゲートパターンと電圧保持領域のパターンを共にストライプ構造として交差させる平面構造とすることも可能である。これは上述のようにチャネル拡散領域9同士の間での電界集中を緩和できるためである。その他の面では本実施例の場合にも図19の実施例11と同様に半導体装置の高耐圧化、低損失化、低コスト化が図れるという効果がある。

【0110】〈実施例13〉図21には本発明の第13実施形態を示す半導体装置の縦断面図である。本実施例ではドレイン・ソース間容量低減のため、電圧保持領域のp型領域4をボディ領域であるp型拡散層5, 9から0.5 ~ 5  $\mu\text{m}$ 程度離している。これにより、ドレイン・ソース間の電位差が小さいときのドレイン・ソース間容量を低減できる。ドレイン・ソース間に逆バイアスが印加されていくとp型拡散層5, 9と電圧保持領域のp型領域4の空乏層は接続し、従来構造に対するドレイン・ソース間容量低減効果がなくなるがこのときには容量値の絶対値が低下するため構わない。

【0111】本実施例の他の特徴は電圧保持領域として使用されるフローティングのp型領域4はトレンチゲートの間隔より広く取り、トレンチゲートの底部の角における電界集中を抑えていることと、トレンチゲート直下の半分以上の領域（見方を変えるとチャネル拡散領域9で挟まるn型領域直下の半分以上の領域）は電圧保持領域として使用されるn型領域2を設け、電圧保持領域として使用されるp型領域4は半分以上の領域として低オン抵抗化の阻害とならないようにしていることである。

【0112】さらに、本実施例では周辺部での耐圧劣化を防止するためにフィールドリミティング領域として働くp型領域4x, 5xは別々に形成した場合で、端子101と端子102間に逆バイアスが印加されると空乏層で接続するように縦方向（半導体主面に対し垂直方向）に分離した場合の実施例を示してある。

【0113】なお、高耐圧化のために設けてある周辺部のp型領域4xの上にはp型領域5と同時に形成されるp型領域5xを配置して周辺部の高耐圧化を図っているがp型領域4xの上のn型領域2から酸化膜6までの距離が短い場合には5xはなくても構わない。あるいはp型領域4xを酸化膜6に達するように配置しても構わない。その他の面では本実施例の場合にも実施例1と同様に半導体装置の高耐圧化、低損失化、低コスト化が図れるという効果がある。

【0114】〈実施例14〉図22には本発明の第14の実施形態を示す半導体装置の縦断面図である。

【0115】本実施例ではゲートは半導体主面に形成さ

れたトレンチ溝の中に形成されたゲート酸化膜を介して埋め込まれて形成されるトレンチゲートの場合であり、電圧保持領域のn型領域2zの不純物濃度をトレンチゲート8aの底辺の角と接するn型領域2s（本実施例ではn型領域2と同じ）より高濃度にしてあることが特徴である。

【0116】本実施例ではドレイン耐圧劣化やゲート酸化膜の信頼性低下の原因となるトレンチゲート角での電界集中を防止すると同時にオン抵抗の低減も行うことができるという効果がある。その他の面では図21に示した実施例13と同様に半導体装置の高耐圧化、低損失化、低コスト化、低容量化が図れるという効果がある。

〈実施例15〉図23には本発明の第15の実施形態を示す半導体装置の縦断面図である。本実施例と図22の実施例の相違はゲートがトレンチ構造であるかプレーナ構造であるかの相違点だけである。このため、MOSFETのチャネル拡散領域における損失成分は実施例1の図2の場合に比べれば高くなるがこのチャネル拡散領域での抵抗成分の割合が低い場合には本実施例のようにプレーナ構造の方がプロセスコストが低くてすむという利点がある。本実施例の場合には電圧保持領域に使用されるフローティングのp型領域4の間隔をチャネル拡散層9の間隔より狭くすることによりチャネル拡散層9の底部の角での電界集中を防げる。このため、ドレイン耐圧の向上とゲート酸化膜の信頼性向上が図れるという効果がある。その効果はシリコン半導体素子の場合にも有効であるが特にシリコンに比べ半導体層中に空乏層が広がりにくいSiCにおいては重要となる。また、p型チャネル拡散領域9で囲まれるn型領域の半分以上がn型領域2となるようにした。これにより、オン抵抗の低減がp型領域4により阻害されない。また、p型チャネル拡散領域9で囲まれるp型領域の半分以上がp型領域4となるようにした。これにより、p型チャネル拡散領域9とp型領域4の対向面積が多くなりp型領域4をフローティングにしていることによる耐圧劣化を防げる。

【0117】本実施例の場合にも図21に示した実施例13と同様に半導体装置の高耐圧化、低損失化、低コスト化、低容量化が図れるという効果がある。

【0118】〈実施例16〉図24には本発明の第16の実施形態を示す半導体装置の縦断面図である。本実施例では電圧保持領域となるp型領域4a~4eを多分割して縦方向にもフィールドプレートの効果を狙ったものである。本実施例の場合にも必ずしもp型領域4a~4eが全て空乏化しなくても高耐圧化が図れるという効果がある。また埋込層で形成するp型領域4a~4eの縦方向の間にはn型領域2を挟むことができる埋込層であるp型領域4a~4eの数が少なくともn型エピタキシャル層2を厚くできる。このためエピタキシャル層のp形成回数が少なくとも高耐圧化が図れるという効果がある。



【0119】本実施例の場合にも図21に示した実施例13と同様に半導体装置の高耐圧化、低損失化、低コスト化、低容量化が図れるという効果がある。

【0120】〈実施例17〉図25には本発明の第17の実施形態を示す半導体装置の縦断面図である。本実施例では電圧保持領域となるp型領域4a～4eの配置を高耐圧化と低損失化のために位置を変えられることを示す実施例である。すなわち、ドレイン端子側ほどアクティブ領域のn型領域の面積が大きくして低オン抵抗化を図り、周辺に関しては空乏層の曲率が大きくなるようにp型領域4a～4eを下ほど素子の内側に後退させて選択的に形成してある。

【0121】ゲート直下のn型領域2は下に行くほど広がるようにすることにより低損失化を図っている。また、周辺部のp領域は周辺に行くほど下には形成しないように配置することによりn型領域2とp型領域4a～4eとの間に形成される空乏層の曲率が大きくなるように設定することにより低損失化と低オン抵抗化を図っている。その他の点では本実施例の場合にも図21に示した実施例13と同様であり半導体装置の高耐圧化、低損失化、低コスト化、低容量化が図れるという効果がある。

【0122】〈実施例18〉図26は本発明の第18の実施形態を示す半導体装置の縦断面図である。本実施例ではゲート電極の電位をアルミニウム電極13bにより周辺部まで延ばす場合の実施例である。本実施例の場合にはアルミ電極13bがフィールドリミティング領域4xより上層に形成される電荷や電位を遮蔽するため半導体領域と酸化膜領域との界面の電界を安定させ高耐圧化しやすくすることが可能となる。なお、本実施例の場合にはアルミ電極13bをゲート電極と接続してゲートフィールドプレートとしているがソース電極と接続させてソースフィールドプレートとしても同様の効果がある。その他の点に関しては図2に示した実施例1と同じであり、本実施例の場合にも実施例1と同様に半導体装置の高耐圧化、低損失化、低コスト化、低容量化が図れるという効果がある。

【0123】〈実施例19〉図27は本発明の第19の実施形態を示す半導体装置の平面図である。また、図28～図30は各々a-a部、b-b部、c-c部の断面図である。本実施例では周辺部のp型領域4、4xと接するようにアクティブ領域周辺の半導体表面にp型領域18xをリング状に形成してあることが特徴である。

【0124】従って、図1の実施例ではp型領域4xはフローティングのフィールドリミティング領域として設けてあったため、p型領域4x同士やp型領域4xとp型領域4の寸法に注意を払う必要があったが、本実施例の場合にはp型領域18xを介してp型領域4の電位が直接p型領域4xへ伝わるため、p型領域4xで囲まれるn型領域2に空乏層が伸びやすくなる。このためp型

領域4x間の間隔とp型領域4の間隔は等しくしても高耐圧化が図れるという効果がある。

【0125】なお、本実施例ではp型領域18xをアクティブ領域を囲うリング状となるように設け、端子101と端子102との等電位線が中心から外側に向かって均一になりやすいようにしたが、p型領域18xをp型領域4とp型領域4xを接続するために必要な場所にだけ部分的に配置しても構わない。また、p型領域18xは低濃度にしたほうが空乏化しやすくなるため高耐圧化が図りやすくなる。

【0126】その他の点に関しては図1等に示した実施例1と同じであり、本実施例の場合にも実施例1と同様にシリコン半導体装置の高耐圧化、低損失化、低コスト化、低容量化が図れるという効果がある。

【0127】〈実施例20〉図31は本発明の第20の実施形態を示す半導体装置の平面図である。

【0128】図1においては周辺部の耐圧を確保するために左右の周辺はフローティング構造のp型拡散層4xを使用していたが、本実施例ではシリコンのエッチング溝を用いなくても形成できるp型拡散層5を用いることにより端子101と左右方向のp型領域4を接続し、左右の周辺も上下の周辺と同様にp型領域4とn型領域2のストライプパターンを電圧保持領域から延ばし高耐圧化を図っていることが特徴である。なお、本実施例では半導体チップの四角にはフローティング構造のp型拡散層4xを使用している。

【0129】従って、本実施例の場合にも図2に示した実施例1と同じであり、本実施例の場合にも実施例1と同様にシリコン半導体装置の高耐圧化、低損失化、低コスト化、低容量化が図れるという効果がある。

【0130】なお、p型領域4を形成するためにドライエッチングを用いる場合にはp型領域4の配置に対する制約が少なくなるため上下方向と左右方向のp型領域4は直交させて形成することも可能である。

【0131】また、周辺部の電位分布を均一化するため、図27の実施例19で示したリング状のp型拡散層18xを本実施例と併用させて高耐圧化しやすくすることも可能である。

【0132】〈実施例21〉図32は本発明の第21の実施形態を示す半導体装置の平面図である。本実施例では電圧保持領域を構成するp型領域4とn型領域2のストライプパターンと多結晶シリコンのトレンチゲートパターンを約70.5°の角度をもって交差させていることが特徴である。このため、電圧保持領域を構成するp型領域4とn型領域2のピッチとトレンチゲートパターンのピッチを各々独立に決定できるという効果がある。

【0133】本実施例では電圧保持領域を構成するp型領域4と多結晶シリコンのトレンチゲートパターンをプロセスコスト低減のため共にシリコンをウェットの異方性エッチングを用いて形成した場合で示したため、交差

する角度は約 $70.5^\circ$  すなわち $90^\circ \pm 5^\circ$  以外の斜めの角度で交差する。また、ゲートのトレンチ溝側壁は $\{110\}$ 結晶面と垂直な $\{111\}$ 結晶面を主要接触面となる。

【0134】その他の点に関しては、図2に示した実施例1と同じであり、本実施例の場合にも実施例1と同様にシリコン半導体装置の高耐圧化、低損失化、低コスト化、低容量化が図れるという効果がある。

【0135】また、周辺部の電位分布を均一化するため、図27の実施例19で示したリング状のp型拡散層18xを本実施例と併用させて高耐圧化しやすくすることも可能である。

【0136】〈実施例22〉図33は本発明の第22の実施例を示す半導体装置の断面図である。本実施例では端子101と電氣的に直接接続してないフィールドロimiting領域として働くp型領域4x同士、またはフィールドロimiting領域として働くp型領域4xと、端子101と電氣的に直接接続してある電圧保持領域として働くp型領域4との間の半導体表面にp型拡散層18を追加して各々の実効的距離を短くしてあることが特徴である。

【0137】本実施例の場合にはシリコンエッチングを用いて形成するp型領域4、4xを同じ間隔にし、間に挟んで形成されるn型領域2の濃度を同じにしてもp型領域4からp型領域4xへの空乏層を介しての電圧伝達が促進されるためp型領域4、4xで挟まれるn型領域2やp型領域4、4xが空乏化しやすくなり高耐圧化が図れる。従って、製造条件が許されるかぎり、p型領域4の間隔を最小ピッチで形成することが可能となる。このため、同一耐圧を達成するためのオン抵抗の低減が図りやすくなるという効果がある。またレイアウト設計が容易になるという効果もある。

【0138】本実施例において、p型拡散層18は低濃度であるほうがp型拡散層18が空乏化しやすくなるため高耐圧化が図りやすくなる。またp型拡散層18を半導体表面に形成する理由はp型領域同士の実効的寸法を短くする方法として最も容易であるからであり、半導体表面から隔たった所に高エネルギーイオン打ち込みや埋込層を設けて同様の効果が得られるようにしても構わない。

【0139】その他の点に関しては図2に示した実施例1と同じであり、本実施例の場合にも実施例1と同様にシリコン半導体装置の高耐圧化、低損失化、低コスト化、低容量化が図れるという効果がある。

【0140】また、周辺部の電位分布を均一化するため、図27の実施例19で示したリング状のp型拡散層18xを本実施例と併用させて高耐圧化しやすくすることも可能である。

【0141】また、p型拡散層18xと18は同じ工程で形成してもよい。

【0142】〈実施例23〉図34は本発明の第23の実施例を示す半導体装置の断面図である。本実施例ではIGBTにとって特に好適な半導体装置の実施例である。本実施例では、高濃度p型基板1xからn型領域2への少数キャリアの注入量を制限するためのn型領域1yを設けている。本半導体装置の平面構造は図27と同じであり、断面図は図28に対応している。IGBTの場合にはパワーMOSFETのソース端子であった第1端子101がIGBTのエミッタ端子、パワーMOSFETのドレイン端子であった第2端子102がIGBTのコレクタ端子として同等に扱える。IGBTのコレクタ・エミッタ間耐圧を高くするためにはnベース領域2とpベース領域4の間の耐圧を高くする必要があり、IGBTを低損失するためにはnベース（n型領域2）を低抵抗化する必要がある。従って、IGBTのコレクタ・エミッタ間耐圧を高くすると同時に低損失化を図るためにはパワーMOSFETの場合と同様にnベース領域2とpベース領域4を電圧保持領域として使用することが望ましい。このため、実施例1から実施例23に於て述べた本発明の特徴をIGBTに適用することにより、各々高耐圧化、低損失化、低コスト化、低容量化が図れるという効果が得られる。

【0143】さらに、本実施例では高濃度p型基板1xとp型領域4との間のn型領域2、1yの単位面積当りのネット不純物量がp型領域4で囲まれたn型領域2の単位面積当りのネット不純物量の半分以上にしてあることが特徴である。高濃度p型基板1xとp型領域4との間の間隔は従来のIGBTのp型ベースとp型コレクタ領域との間隔より格段に短く設計する必要があるため、上記高濃度p型基板1xとp型領域4の間のパンチスルー耐圧により素子耐圧が決定する場合には耐圧バラツキが大きくなるため望ましくない。

【0144】本実施例によれば、本半導体素子のコレクタ耐圧が高濃度p型基板1xとp型領域4のパンチスルー耐圧により決まらないためコレクタ耐圧のバラツキが小さくなるという効果がある。なお上記n型領域1yを設けずに均一濃度のn型領域2をn型ベースとして用いる場合にはp型領域4とp型領域1xの間隔はp型領域4の間隔の半分以上にすることにより上記目的を達成し、同様の効果を得ることも可能である。

【0145】〈実施例24〉図35は本発明の第24の実施例を示す半導体装置の断面図である。本実施例ではSITにとって特に好適な半導体装置の実施例である。すなわち、本半導体装置の平面構造は図1と同じであり、SITの場合にはパワーMOSFETのソース端子であった第1端子101がSITのゲート端子。パワーMOSFETのドレイン端子であった第2端子102がSITのドレイン端子として同等に扱える。すなわち、SITのドレイン・ソース間耐圧を高くするためにはドレイン・ゲート間耐圧を高くする必要があり、SITを低損失化する



ためにはn型領域2を低抵抗化する必要がある。SITのドレイン・ゲート間耐圧を高くすると同時に低損失化を図るためにはパワーMOSFETの場合と同様に低抵抗でピッチ幅の狭いnベース領域2とpベース領域4の繰り返しパターンを電圧保持領域として使用することが望ましい。このため、実施例1から実施例23に於て述べた本発明の特徴をSITに適用することにより、各々高耐圧化、低損失化、低コスト化、低容量化が図れるという効果が得られる。

【0146】〈実施例25〉図36は本発明の第25の実施例を示す半導体装置の断面図である。本実施例ではバイポーラトランジスタにとって特に好適な半導体装置の実施例である。本実施例ではn型領域11をエミッタ領域、p型領域9をベース領域、n型領域2をコレクタ領域としたバイポーラトランジスタである。バイポーラトランジスタの場合にはパワーMOSFETの場合にソース端子であった第1端子101がベース端子、ドレイン端子であった第2端子102がコレクタ端子として同等に考えられ、端子103はエミッタ端子である。また、13fと13e各々はベース端子用のアルミニウム電極、エミッタ端子用のアルミニウム電極である。ベース端子とコレクタ端子との間に電圧が印加されると電圧保持領域であるベース領域4とコレクタ領域2に空乏層が拡がり高耐圧化が図れる。更にn型領域2はパワーMOSFETの場合と同様に従来素子より高濃度化できるため、低損失化が可能となるという効果がある。本実施例によればコレクタとベース間の耐圧を高くすることが可能であるためエミッタとコレクタ間の耐圧も同時に高くなる。

【0147】このように、本発明でパワーMOSFETを例にして述べた半導体装置の構造とそれにより得られる効果はバイポーラトランジスタに関しても成立する。

【0148】また、n型拡散層11と端子103がない場合は高耐圧pn接合ダイオードの場合に対応し、第1端子101がアノード端子、第2端子がカソード端子として利用することにより、本発明においてパワーMOSFETを例にして述べた半導体装置の構造とそれにより得られる効果はpn接合ダイオードに関しても成立する。

【0149】〈実施例26〉図37は本発明の第26の実施例を示す半導体装置の断面図である。本実施例ではショットキダイオードにとって特に好適な半導体装置の実施例である。本実施例では端子101をアノード端子、端子102をカソード端子とし、アノード端子の電極とショットキー接合を設け、このショットキー接合とn型拡散層19により離間した5 $\mu$ m以下の近傍に電圧保持領域として働くp型領域4を設けてある。また、13dと13e各々はゲート端子用のアルミニウム電極、ソース端子用のアルミニウム電極である。端子101のアノード端子と端子102のカソード端子に逆バイアスが印加されると電圧保持領域として働くp型領域4とショットキー接合が空乏層で接続されて電氣的に接続され

るため、上記端子間に印加される電圧は電圧保持領域であるp型領域4とn型領域2により高耐圧化が図れる。また端子101のアノード端子と端子102のカソード端子に順バイアスが印加されるショットキー接合として働くわけであるがこのときダイオード電流は電圧保持領域として働く低抵抗なn型領域2を流れるため低損失化が図れる。なお、図11の実施例で述べた埋込層を用いて電圧保持領域のp型領域4を形成する場合には、上記n型拡散層11の代りにエピタキシャル層2を使用することが可能である。

【0150】従って、パワーMOSFETを例に取り説明した電圧保持領域としてフローティングのp型領域4を使用する図21、図22、図23の実施例と同様に半導体装置の高耐圧化、低損失化、低コスト化、低容量化が図れるという効果がある。

【0151】以上、本発明の好適な実施例について説明したが、本発明は前記実施例に限定するものではなく、例えば前記実施例では主にn型のパワーMOSFETへの適用例を中心に説明したがpチャネル型としても同様の効果が得られる。また、本半導体チップ200は、ダイオード(pn接合ダイオードとショットキーダイオード)、IGBT、バイポーラトランジスタ、SIT、サイリスタなどの半導体装置において高耐圧が印加されるpn接合ダイオードが上記第1端子101と上記第2端子102に対応するとして適用することにより高耐圧化と低損失化に効果がある。このように、本発明の精神を逸脱しない範囲内において数々の設計変更をなしえることは勿論である。

【0152】

【発明の効果】以上説明したように、本実施形態によれば、高耐圧のためにn型領域とp型領域の繰り返しパターンからなる電圧保持領域を有する半導体装置において、高耐圧化、低損失化、設計コストの低減、プロセスコストの低減、低容量化が図れるという効果がある。さらに本発明の半導体装置を使用することにより、高電圧パワースイッチシステムを低損失化、低コスト化できるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す半導体装置の平面構造図である。

【図2】本発明の第1の実施形態をパワーMOSFETに適用した場合の実施形態で、図1のa-a線に沿う縦断面構造図である。

【図3】第1の実施形態をパワーMOSFETに適用した場合の実施形態の製造方法を説明するための平面構造図である。

【図4(a)(b)】本発明の第1の実施形態を示す半導体装置の製造方法の一例を説明するための断面図である。

【図4(c)(d)】本発明の第1の実施形態を示す半

導体装置の製造方法の一例を説明するための断面図である。

【図4（e）（f）】本発明の第1の実施形態を示す半導体装置の製造方法の一例を説明するための断面図である。

【図4（g）（h）】本発明の第1の実施形態を示す半導体装置の製造方法の一例を説明するための断面図である。

【図4（i）】本発明の第1の実施形態を示す半導体装置の製造方法の一例を説明するための断面図である。

【図5】本発明の第2の実施例の半導体装置の平面構造図である。

【図6】本発明の第3の実施例の半導体装置の断面構造図である。

【図7】本発明の第4の実施例の半導体装置の断面構造図である。

【図8】本発明の第4の実施例の半導体装置の製造方法を説明するための断面図である。

【図9】本発明の第5の実施例の半導体装置の断面構造図である。

【図10】本発明の第6の実施例の半導体装置の平面構造図である。

【図11】本発明の第7の実施例の半導体装置の断面構造図である。

【図12】（a）～（c）は本発明の第7の実施例の半導体装置の製造方法の一例を説明するための断面図である。

【図13】本発明の第8の実施例の半導体装置の断面構造図である。

【図14】本発明の第9の実施例の半導体装置の断面構造図である。

【図15】本発明の第10の実施例の半導体装置の製造方法を示す断面構造図である。

【図16】本発明の第10の実施例の半導体装置の要部不純物プロファイルである。

【図17】本発明の第11の実施例の半導体装置の断面構造図である。

【図18】本発明の第11の実施例の半導体装置の製造方法を示す断面構造図である。

【図19】本発明の第11の実施例の半導体装置の要部不純物プロファイルである。

【図20】本発明の第12の実施例の半導体装置の断面構造図である。

【図21】本発明の第13の実施例の半導体装置の断面構造図である。

【図22】本発明の第14の実施例の半導体装置の断面構造図である。

【図23】本発明の第15の実施例の半導体装置の断面

構造図である。

【図24】本発明の第16の実施例の半導体装置の断面構造図である。

【図25】本発明の第17の実施例の半導体装置の断面構造図である。

【図26】本発明の第18の実施例の半導体装置の断面構造図である。

【図27】本発明の第19の実施例の半導体装置の平面構造図である。

【図28】本発明の第19の実施例の半導体装置の断面構造図である。

【図29】本発明の第19の実施例の半導体装置の断面構造図である。

【図30】本発明の第19の実施例の半導体装置の断面構造図である。

【図31】本発明の第20の実施例の半導体装置の平面構造図である。

【図32】本発明の第21の実施例の半導体装置の平面構造図である。

【図33】本発明の第22の実施例の半導体装置の断面構造図である。

【図34】本発明の第23の実施例の半導体装置の断面構造図である。

【図35】本発明の第24の実施例の半導体装置の断面構造図である。

【図36】本発明の第25の実施例の半導体装置の断面構造図である。

【図37】本発明の第26の実施例の半導体装置の断面構造図である。

【図38】本発明の他の実施例の半導体装置の断面構造図である。

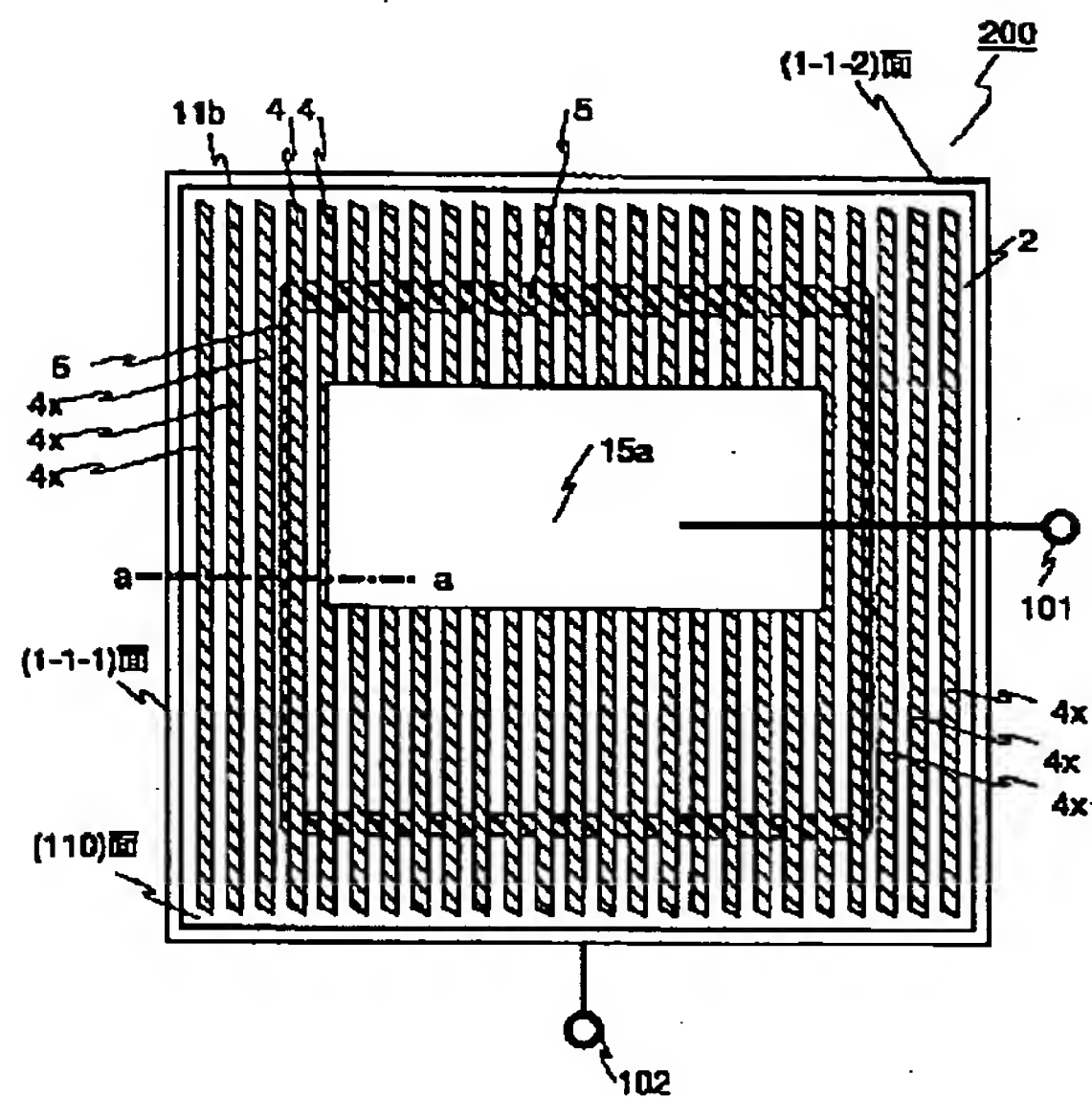
#### 【符号の説明】

1…高濃度n型基板、1x…高濃度p型基板、1y…n型バッファ領域、2，2a～2g，2x～2z…n型領域（電圧保持領域）、2b…n型領域（電圧保持領域）、3，17…シリコンエッチング溝、4，4a～4g…p型領域、4x…p型領域（フィールドリミティング領域）、5，5x，9，9x…p型拡散層、6，7，20a，20b…酸化膜、7a…ゲート酸化膜、8，8a…多結晶シリコン層、10…高濃度n型拡散層、11，11b…高濃度p型拡散層、12…絶縁層、13a～13f…アルミニウム電極層、14…保護膜、15a…ソース電極パッド、16…裏面電極、18，18x…p型拡散層、19…低濃度n型不純物領域、22…レジスト、100…半導体素子のアクティブ領域、101…第1端子（ソース端子等）、102…第2端子（ドレイン端子等）、200…半導体チップ。



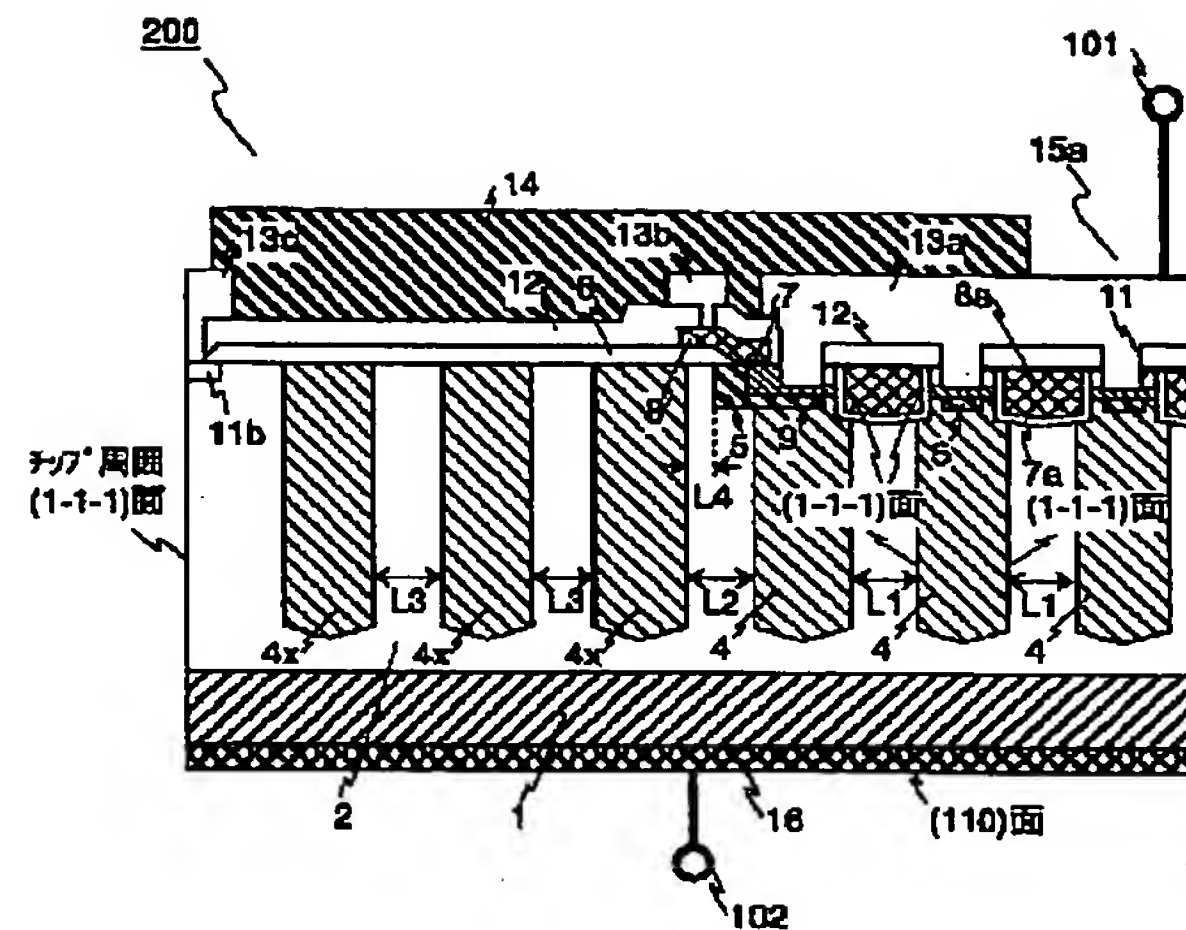
【 1】

**1**



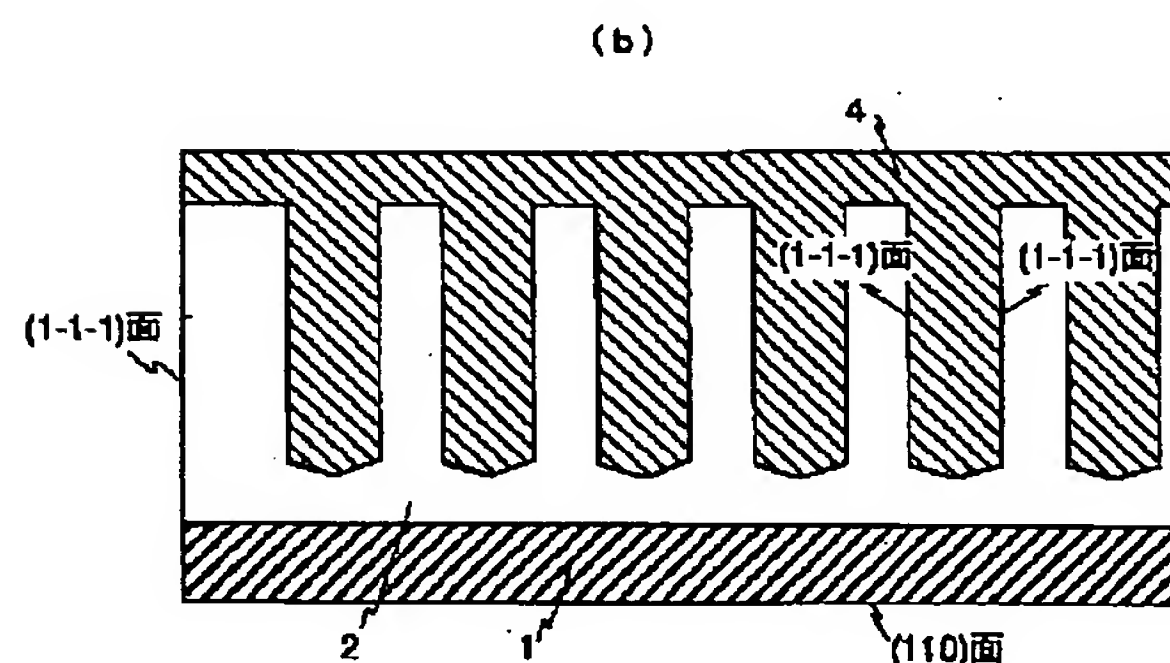
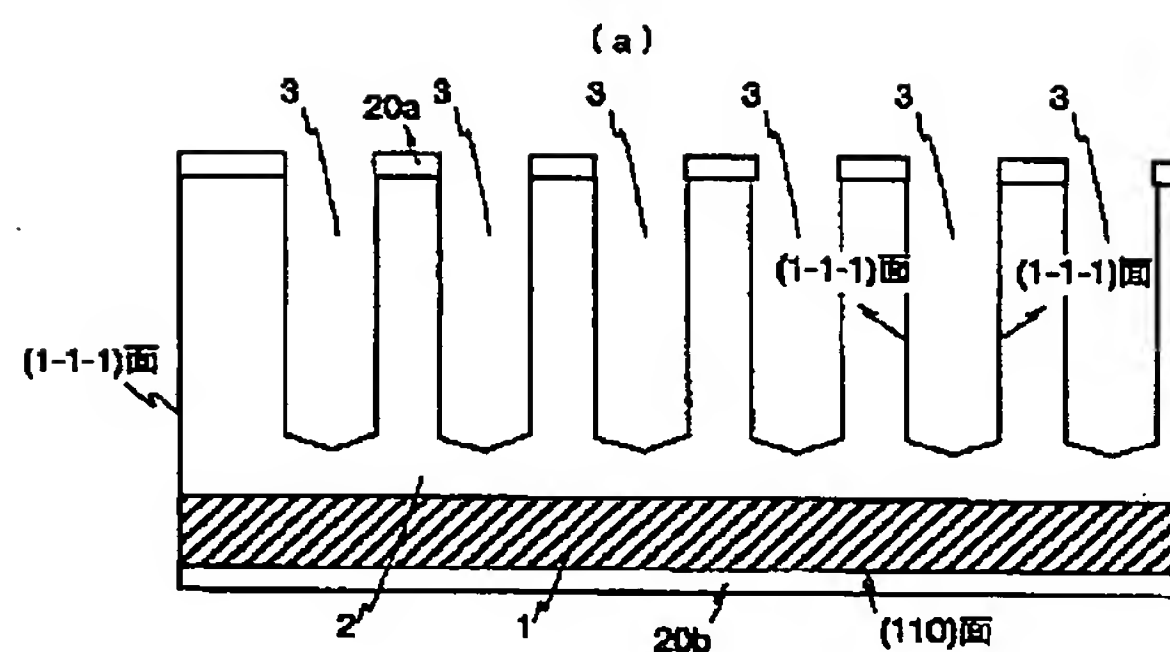
【図 2】

**图 2**



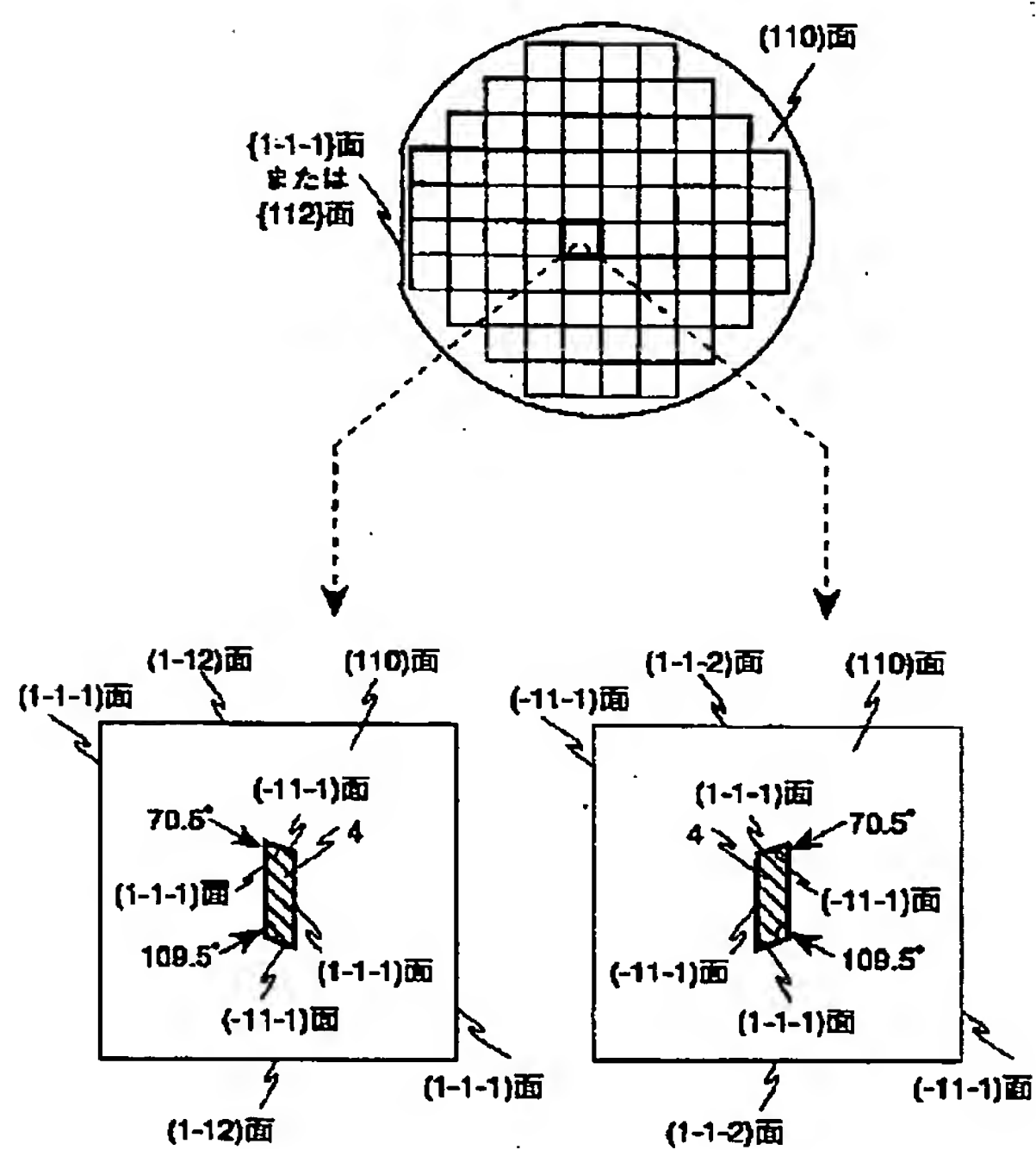
【図 4 (a) (b)】

**4**



【図 3】

**3**



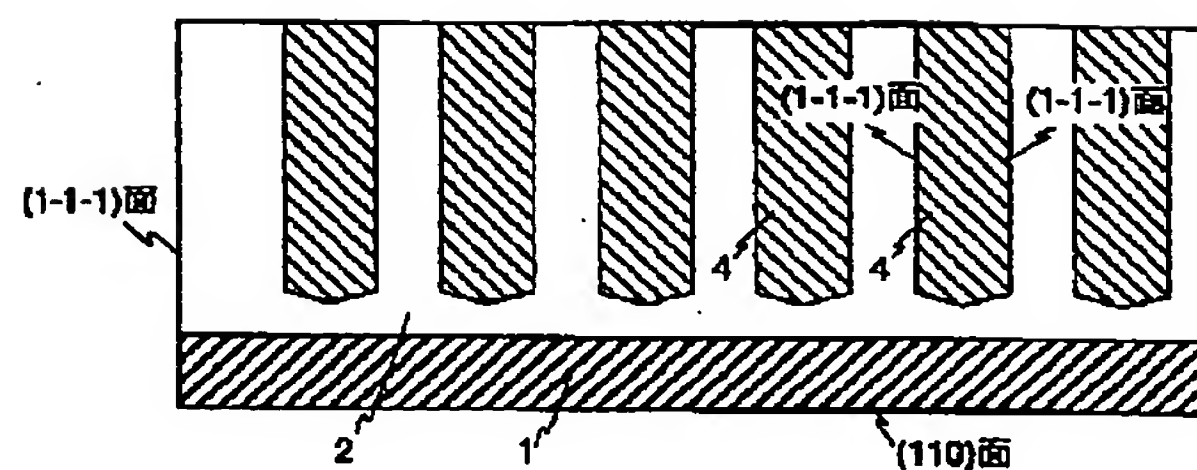
(a) 主フラットが(1-1-1)面  
または(1-12)の場合

(b) 主フラットが(-11-1)面  
または(1-1-2)の場合

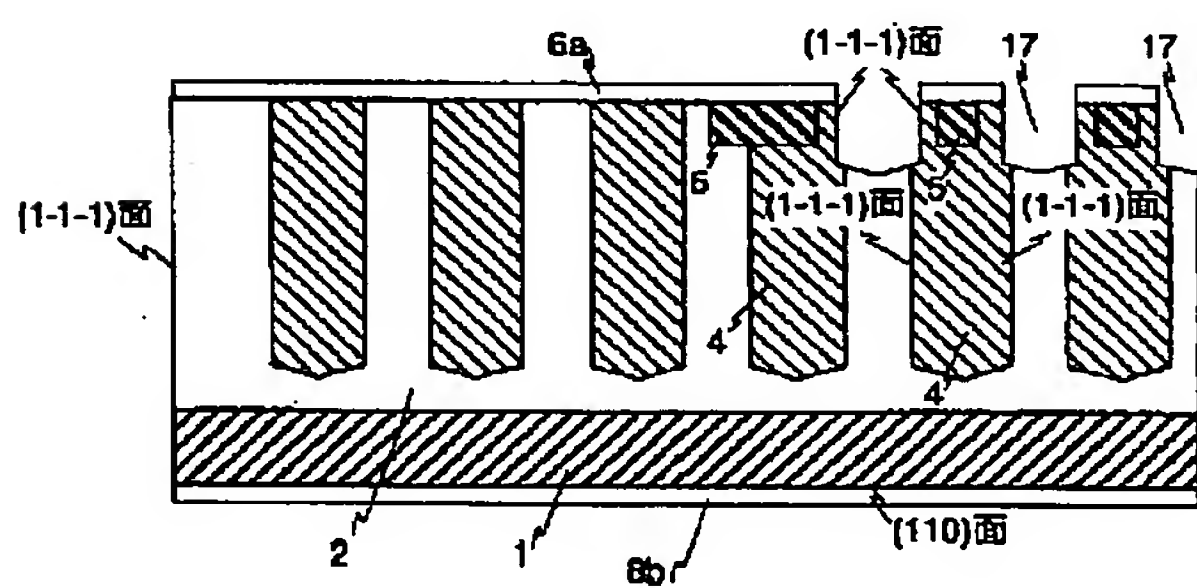
【☒ 4 (c) (d) 】

**圖 4**

(c)



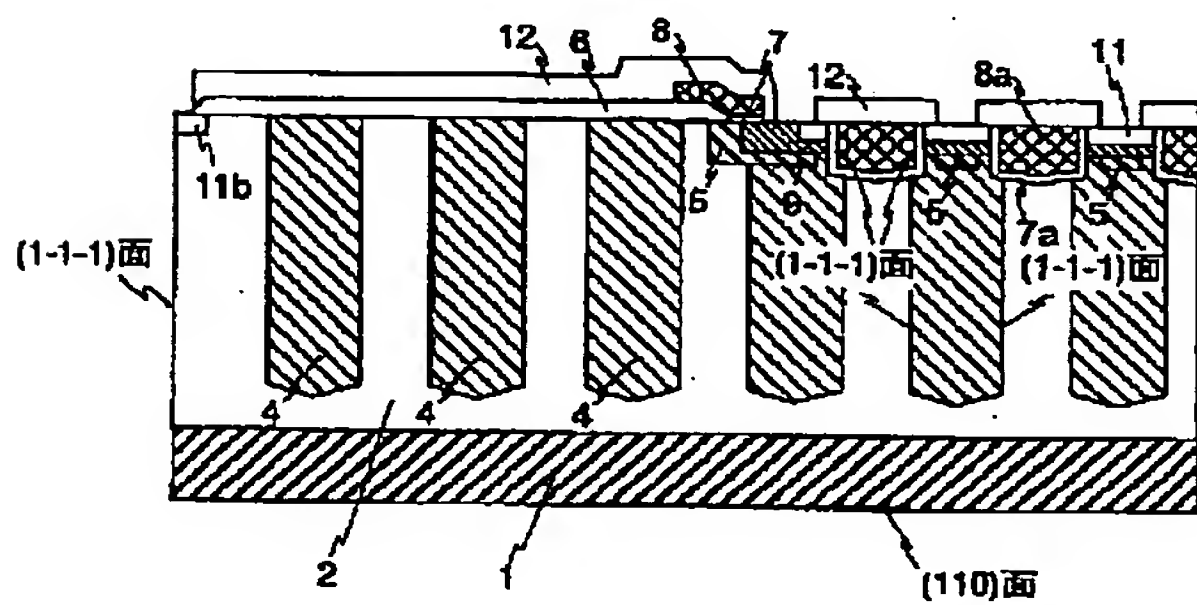
(d)



【図4 (g) (h)】

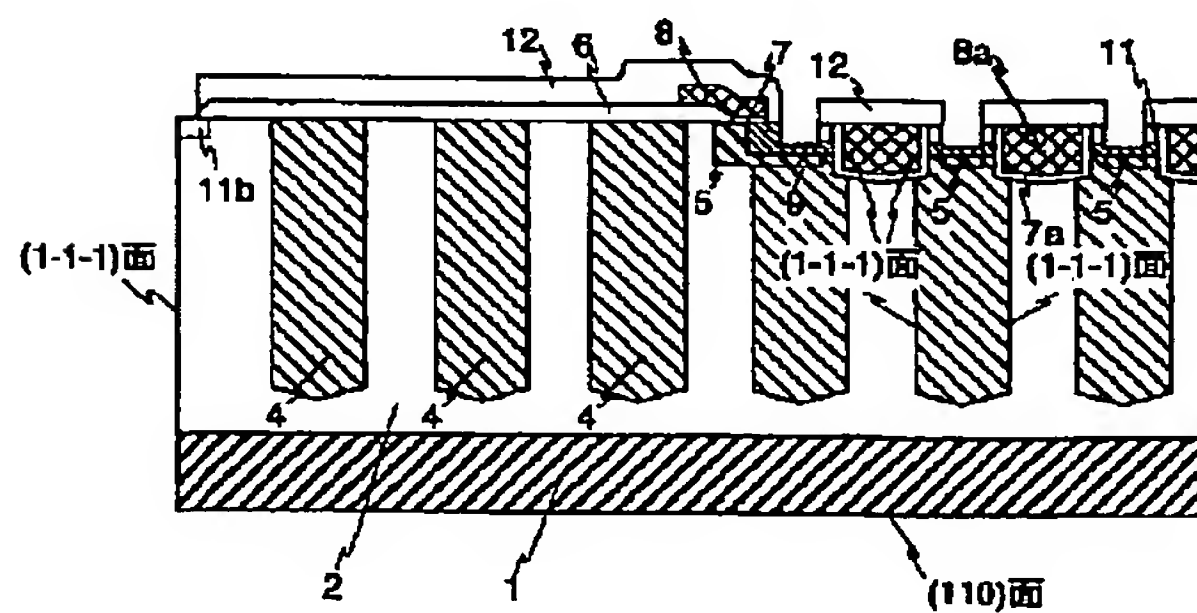
**4**

(g)



200.

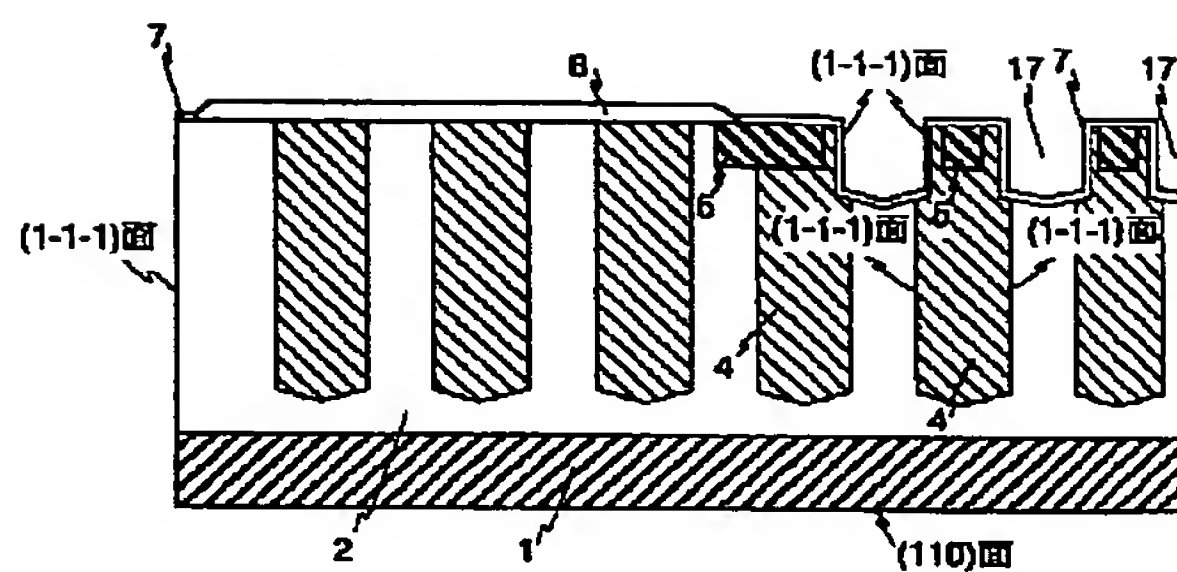
(h)



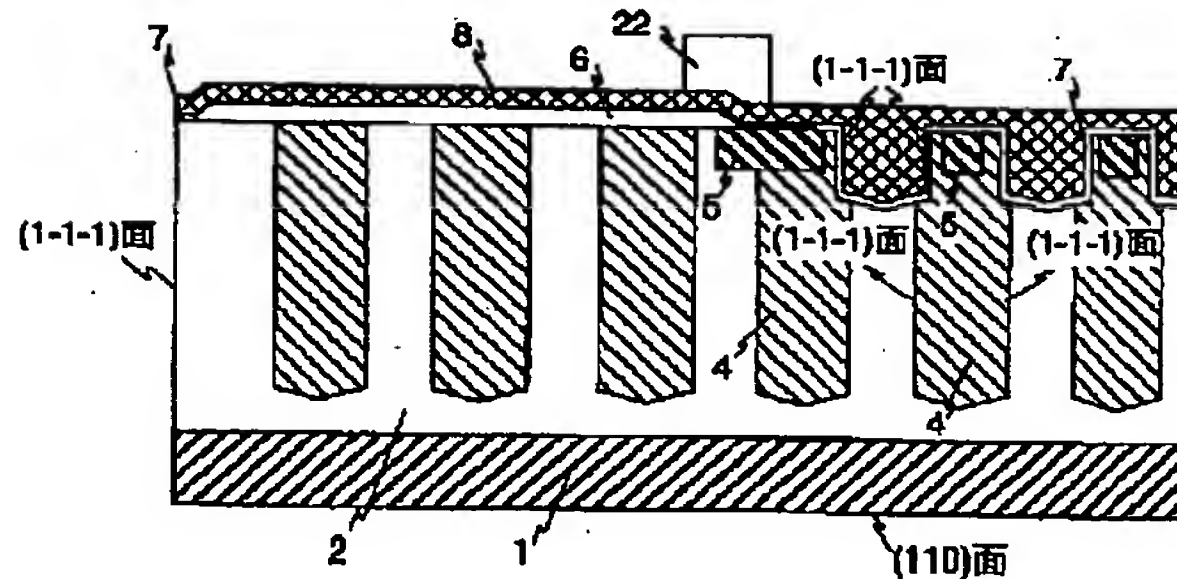
【☒ 4 (e) (f) 】

**4**

(a)



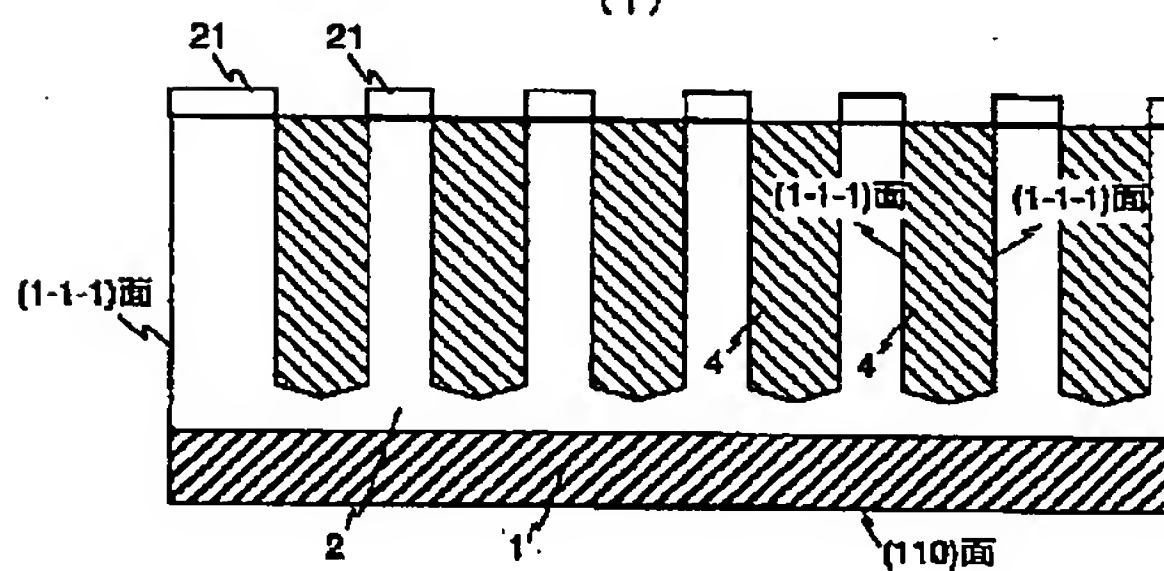
( f )



【図 4 (i)】

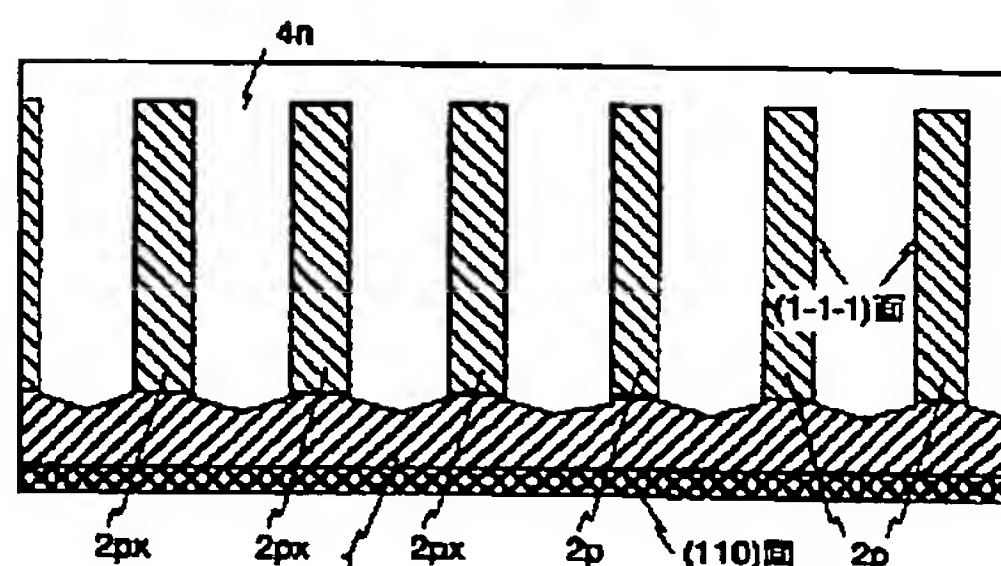
圖 4

( i )



【☒ 8】

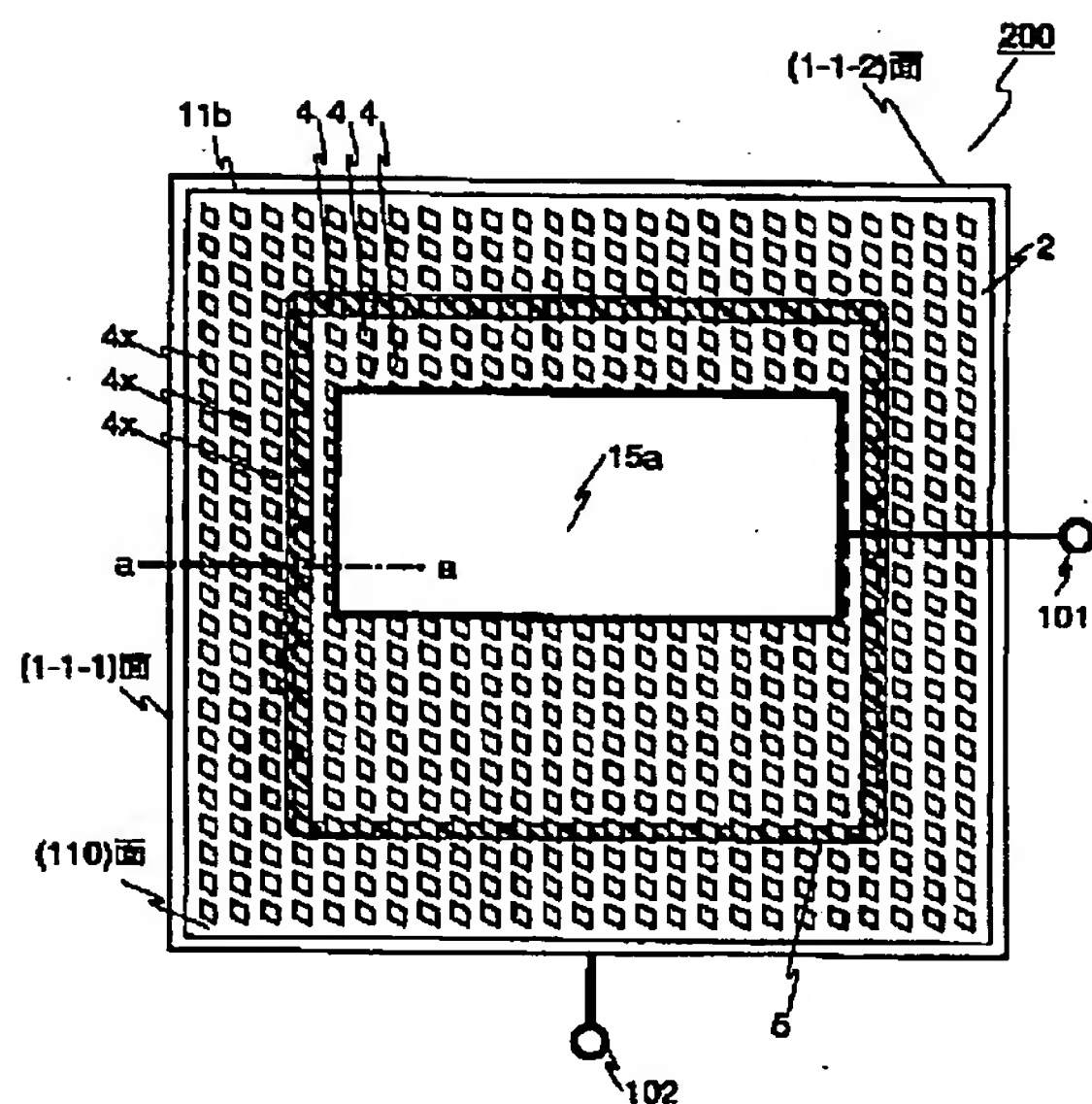
8





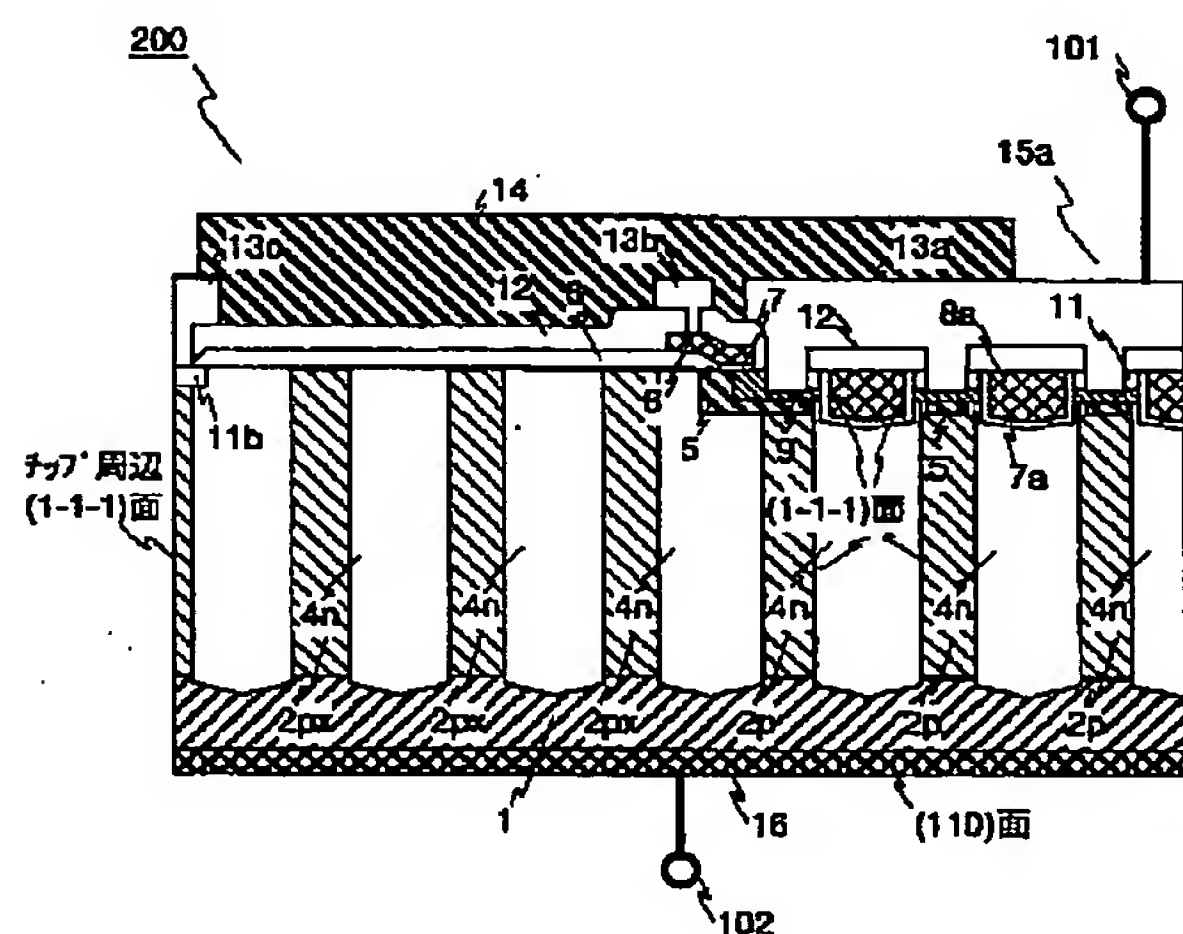
【図5】

図 5



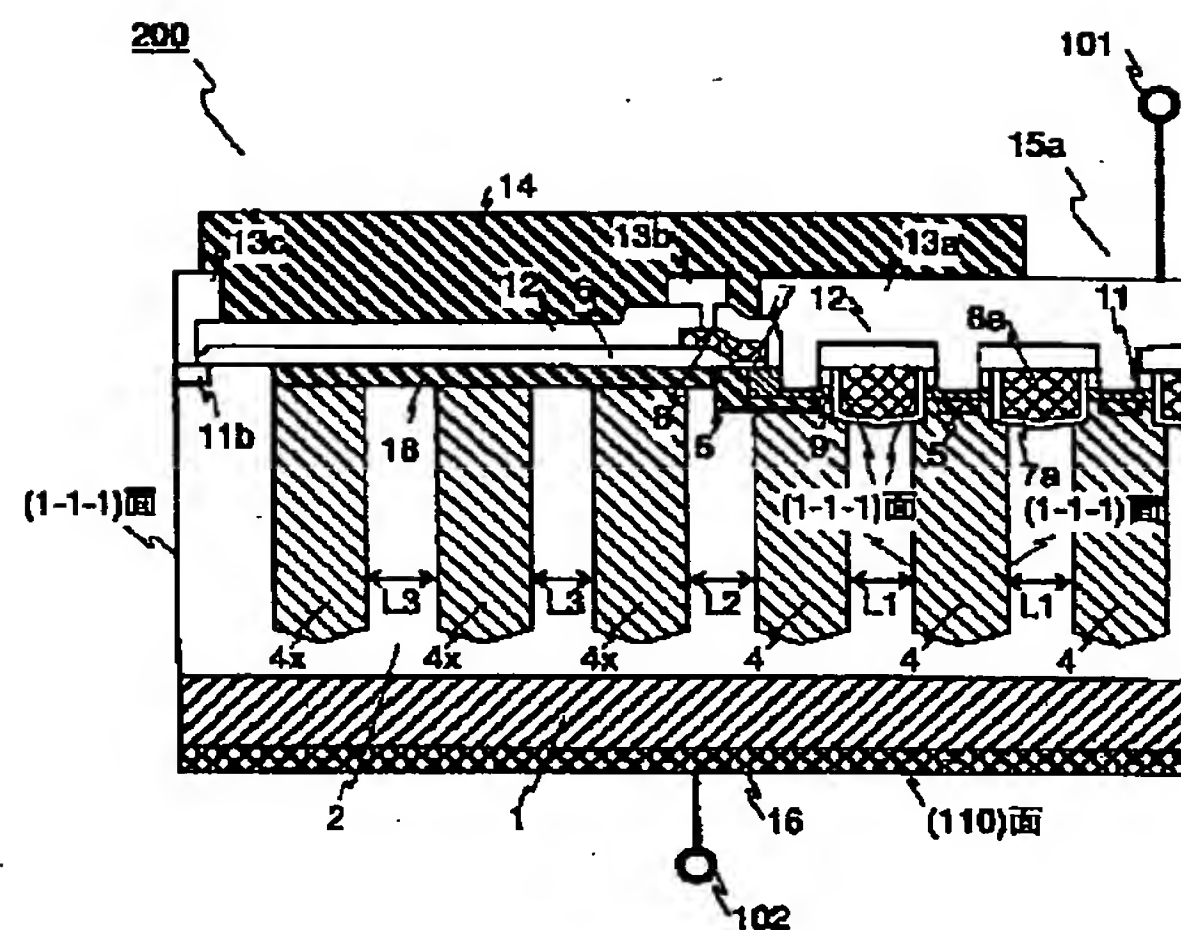
【図7】

図 7



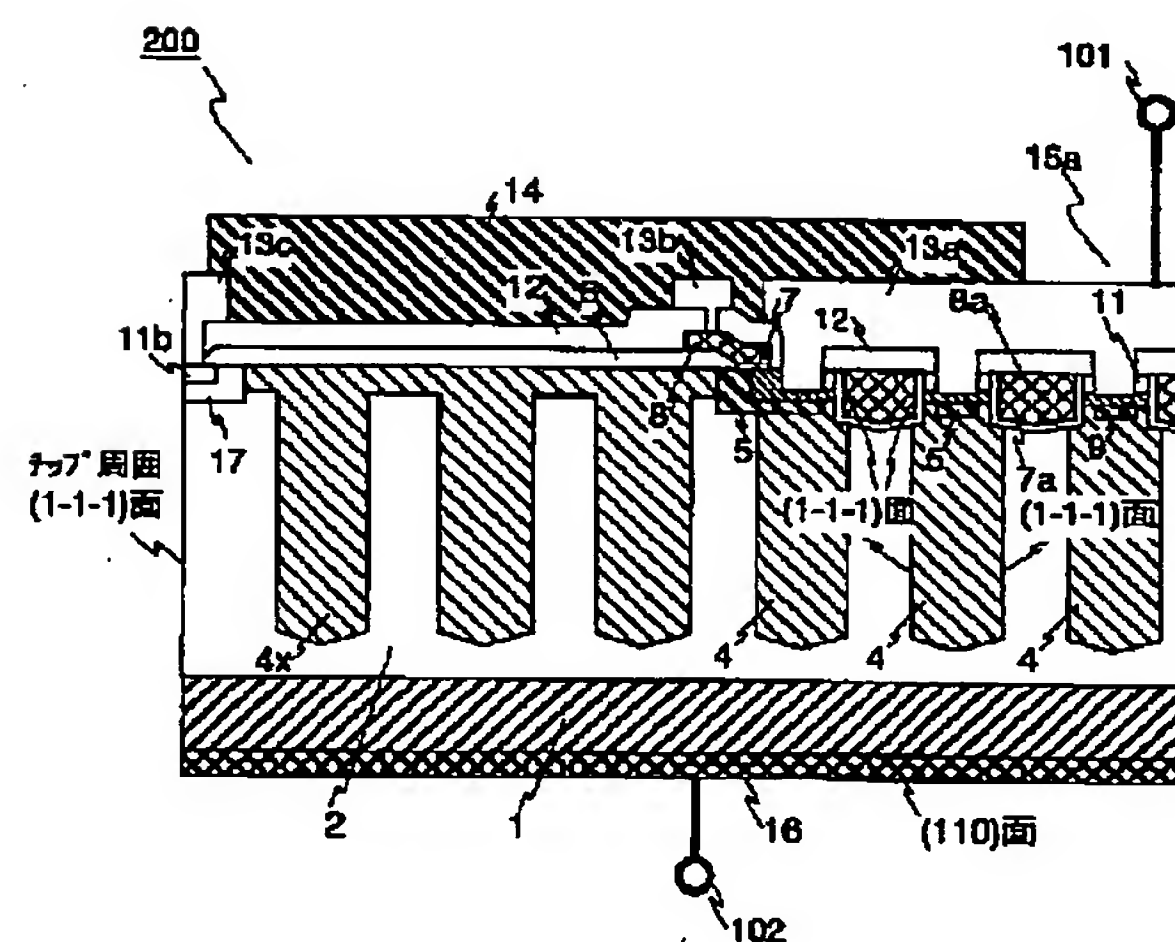
【図6】

図 6



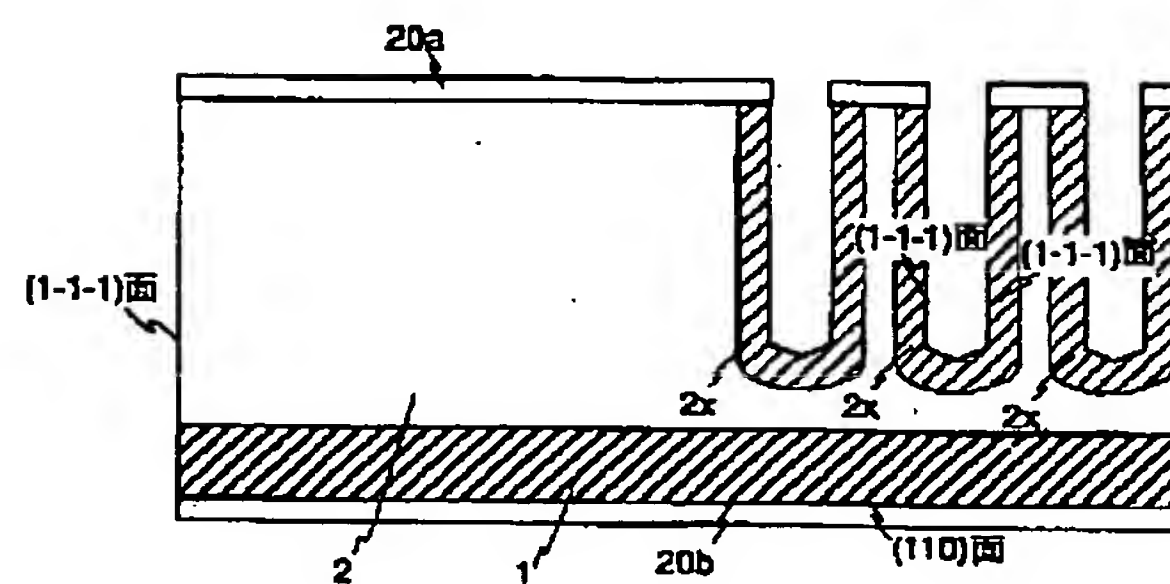
【図9】

図 9



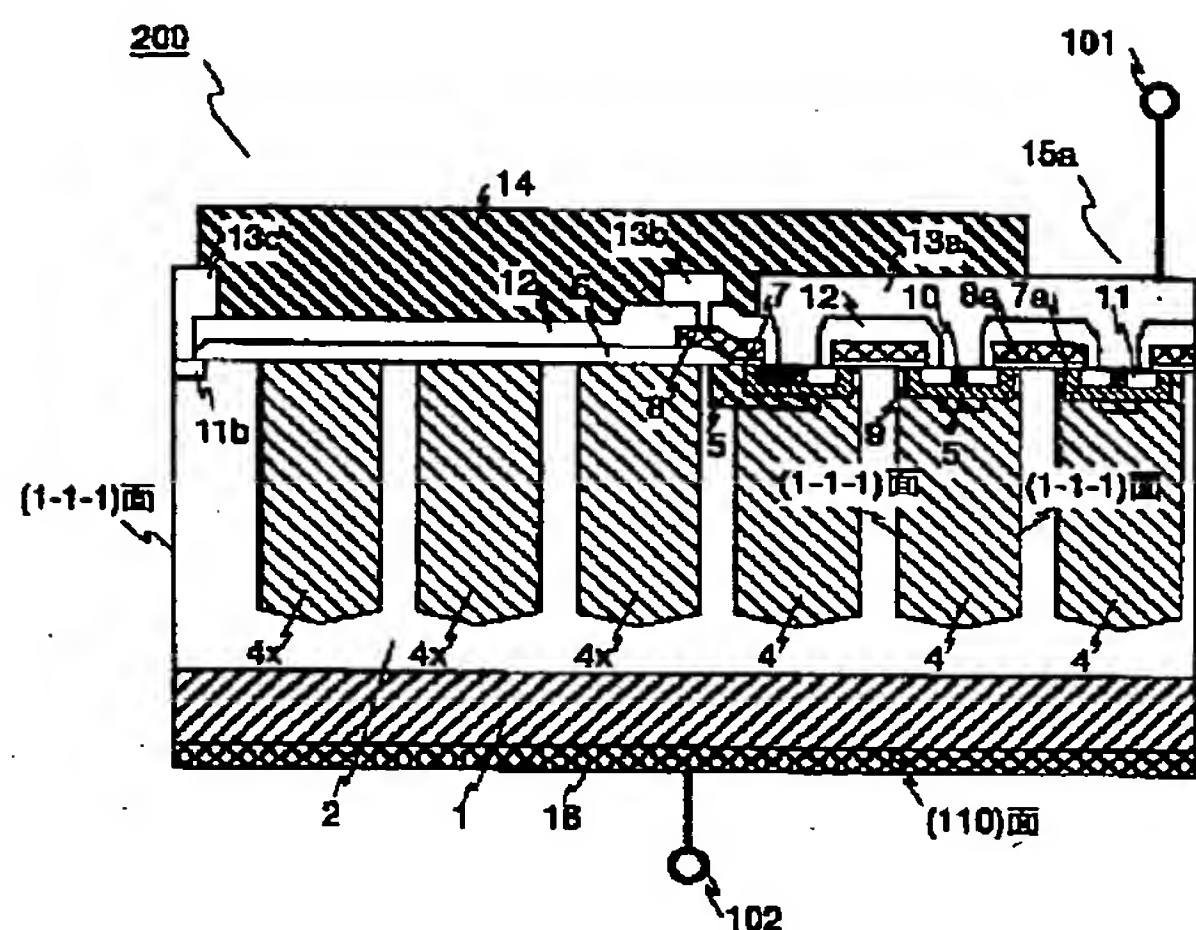
【図15】

図 15



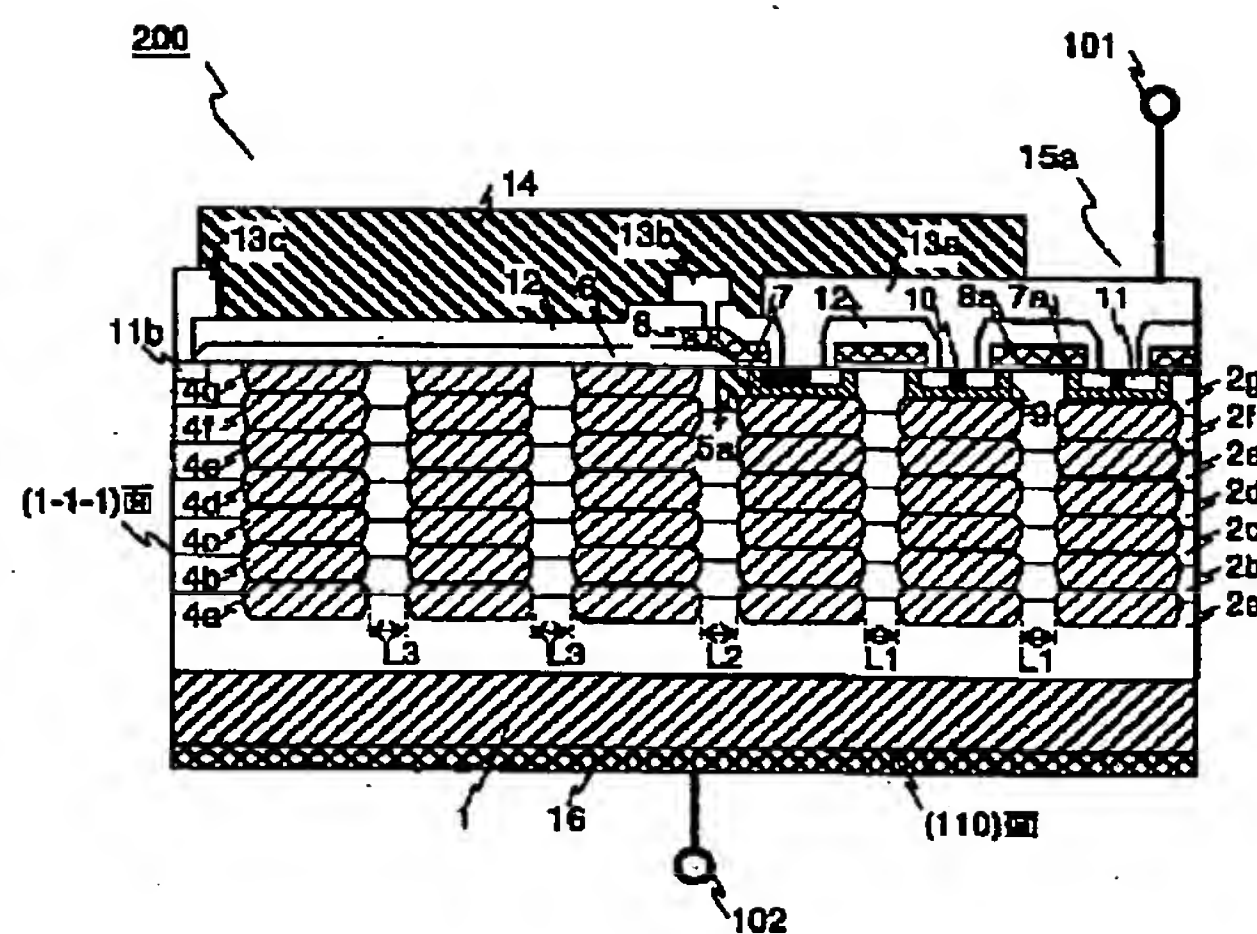
【図10】

図 10



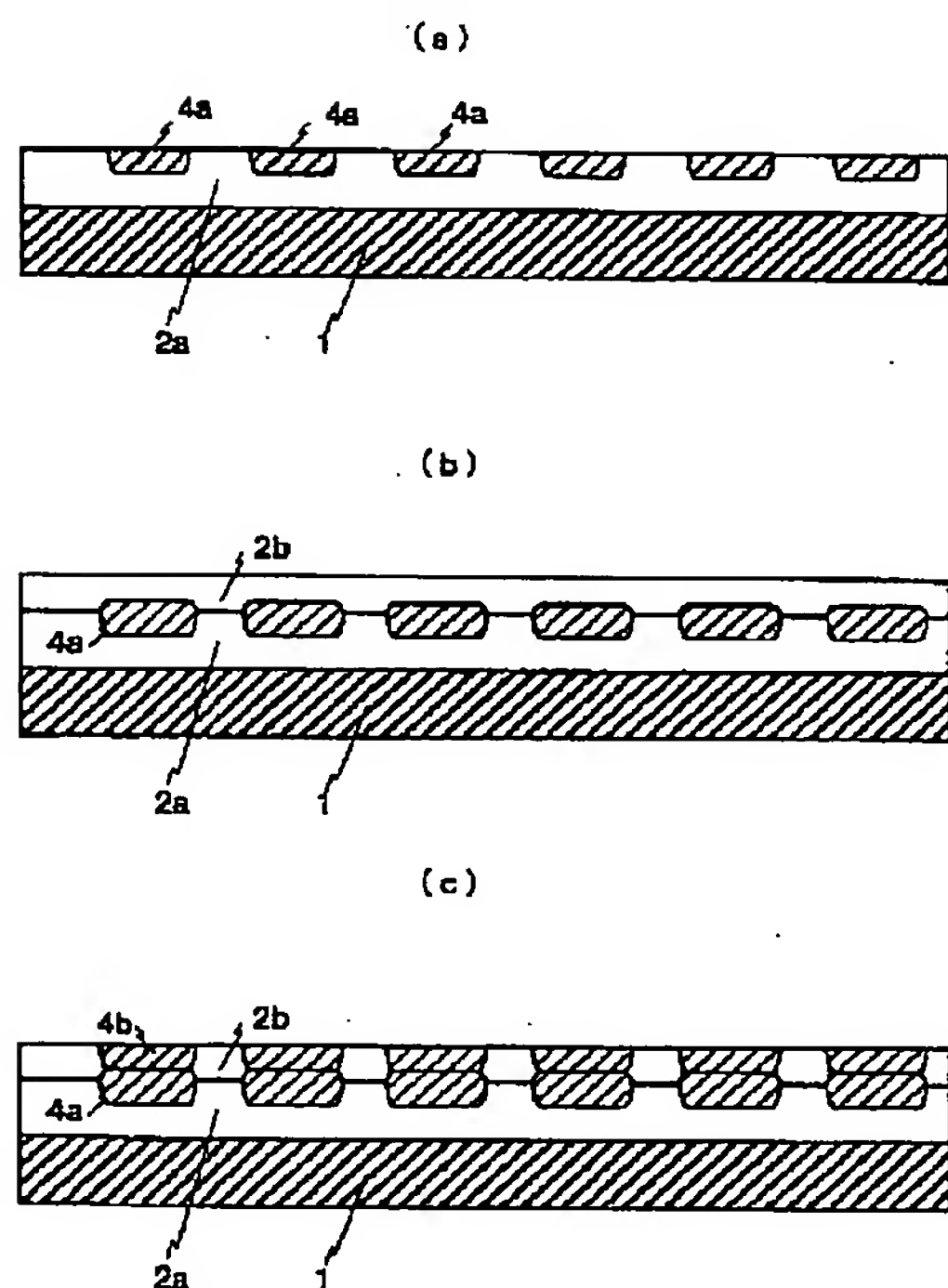
【図11】

図 11



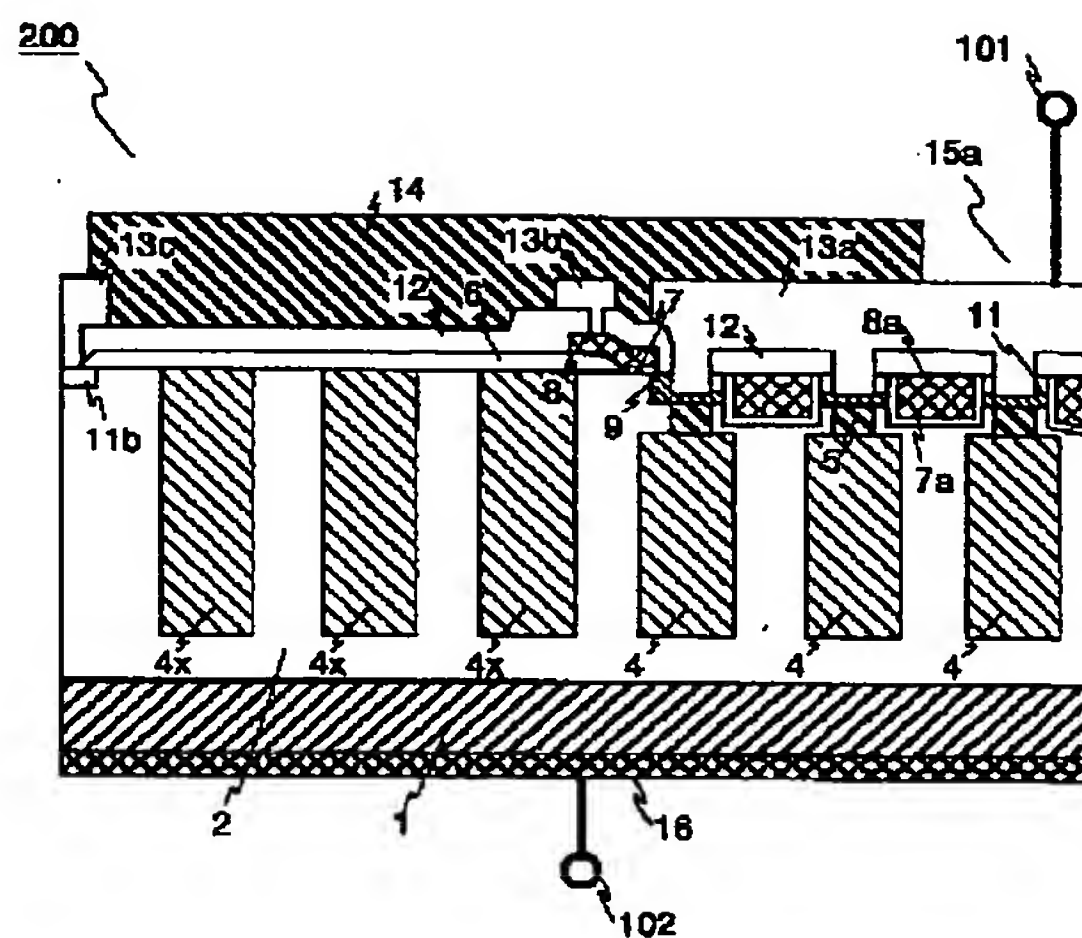
【図12】

図 12



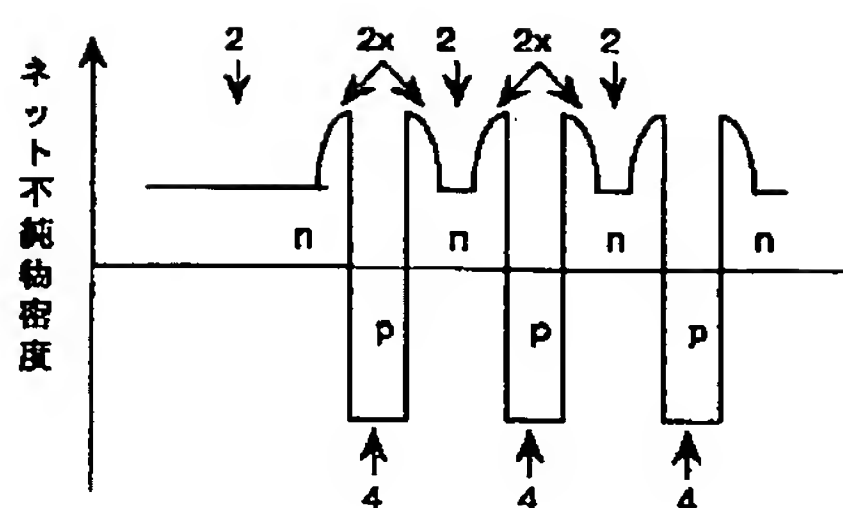
【図13】

図 13



【図16】

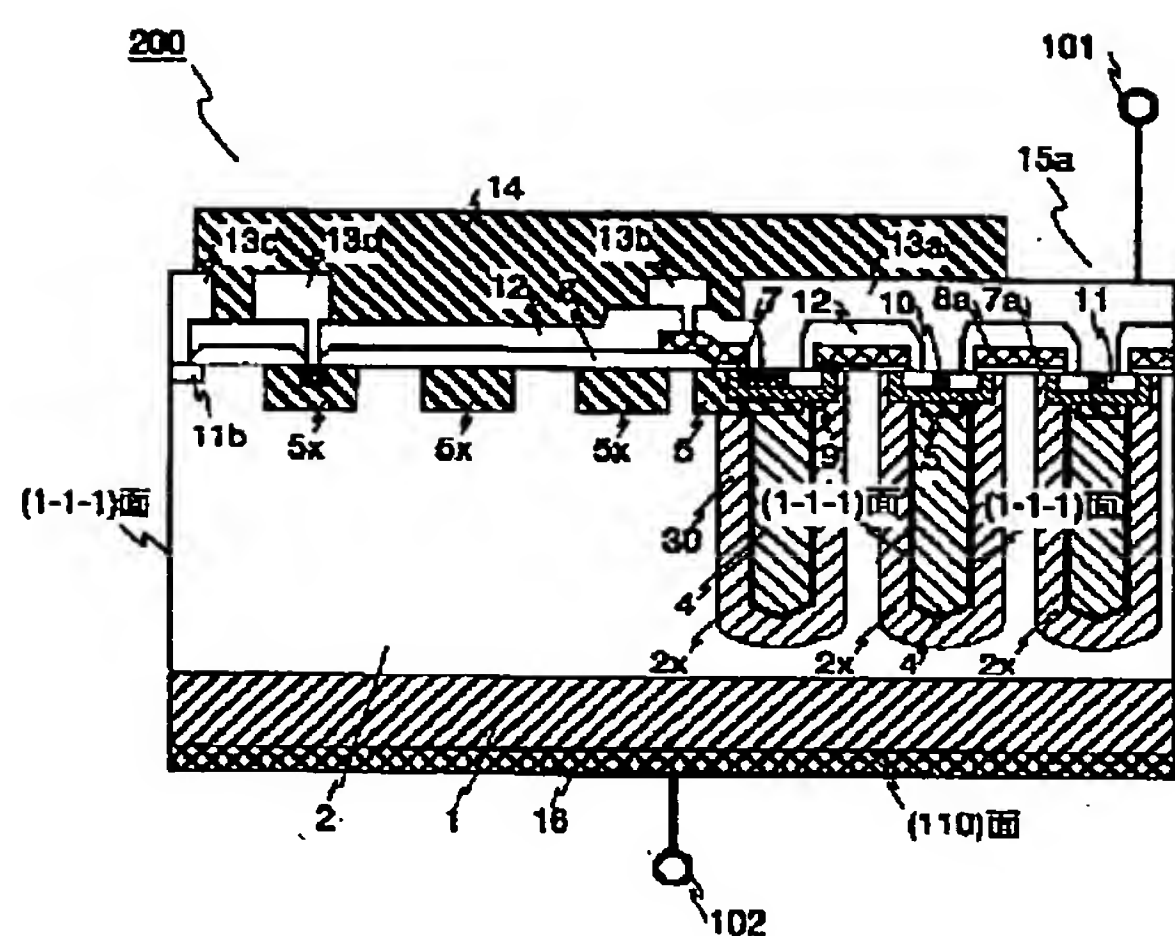
図 16





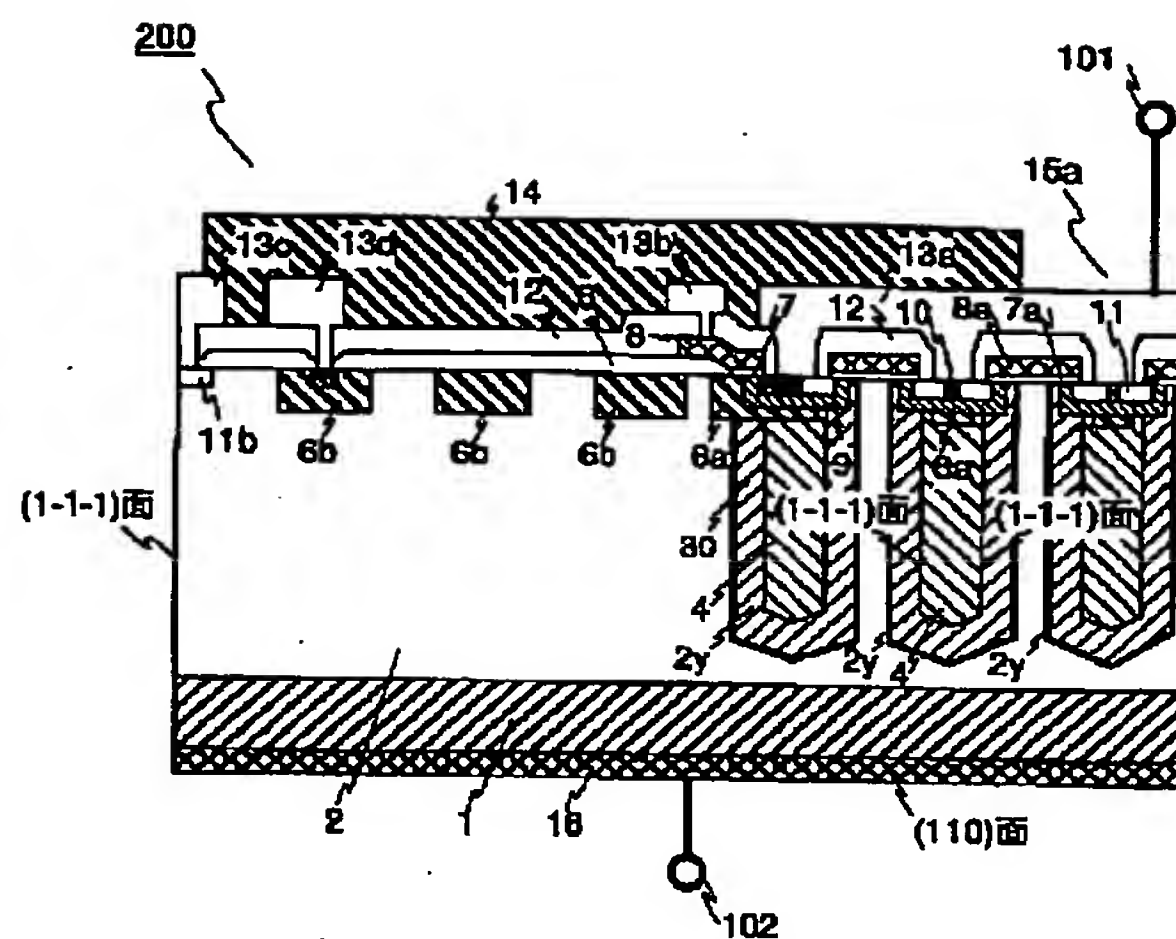
【図14】

図 14



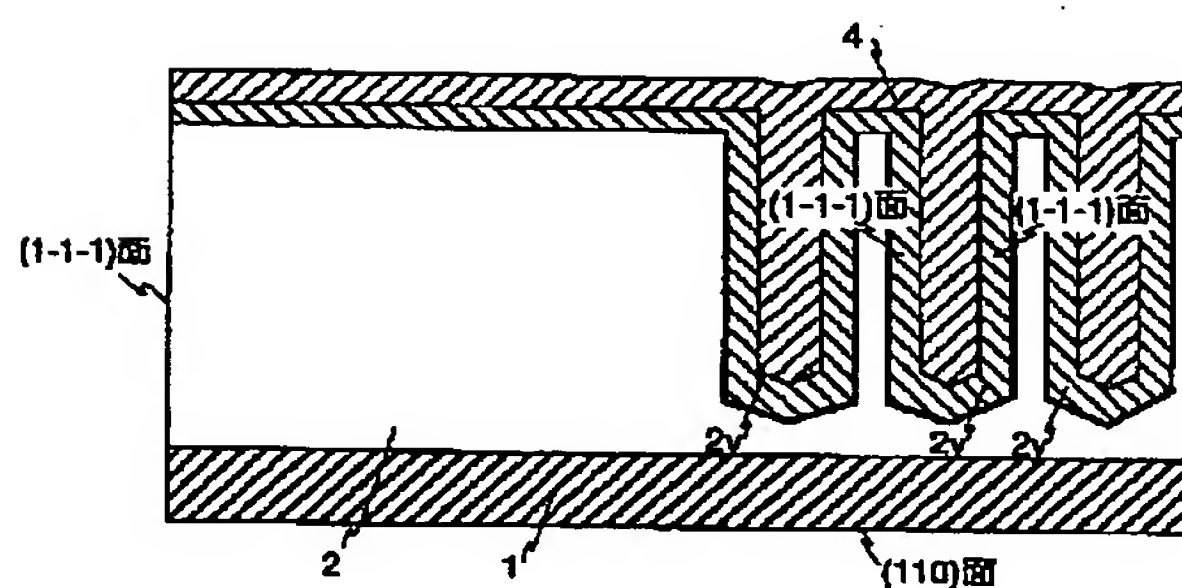
【図17】

図 17



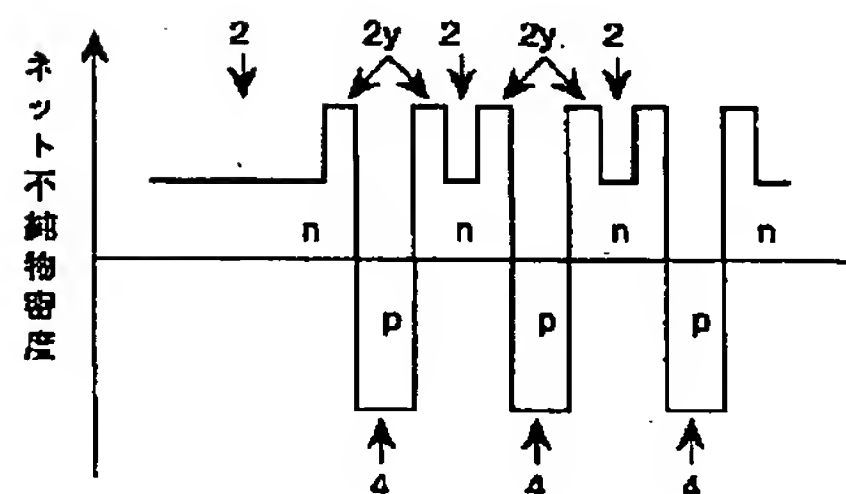
【図18】

図 18



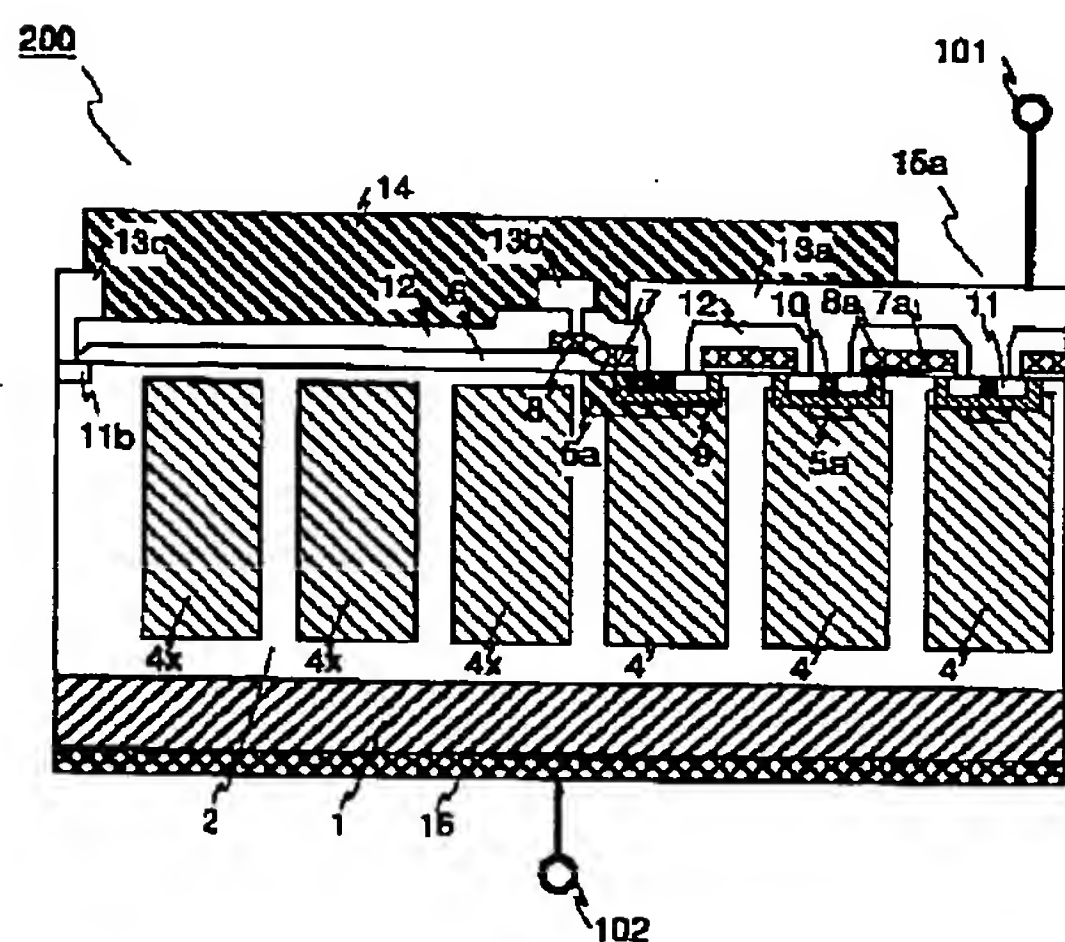
【図19】

図 19



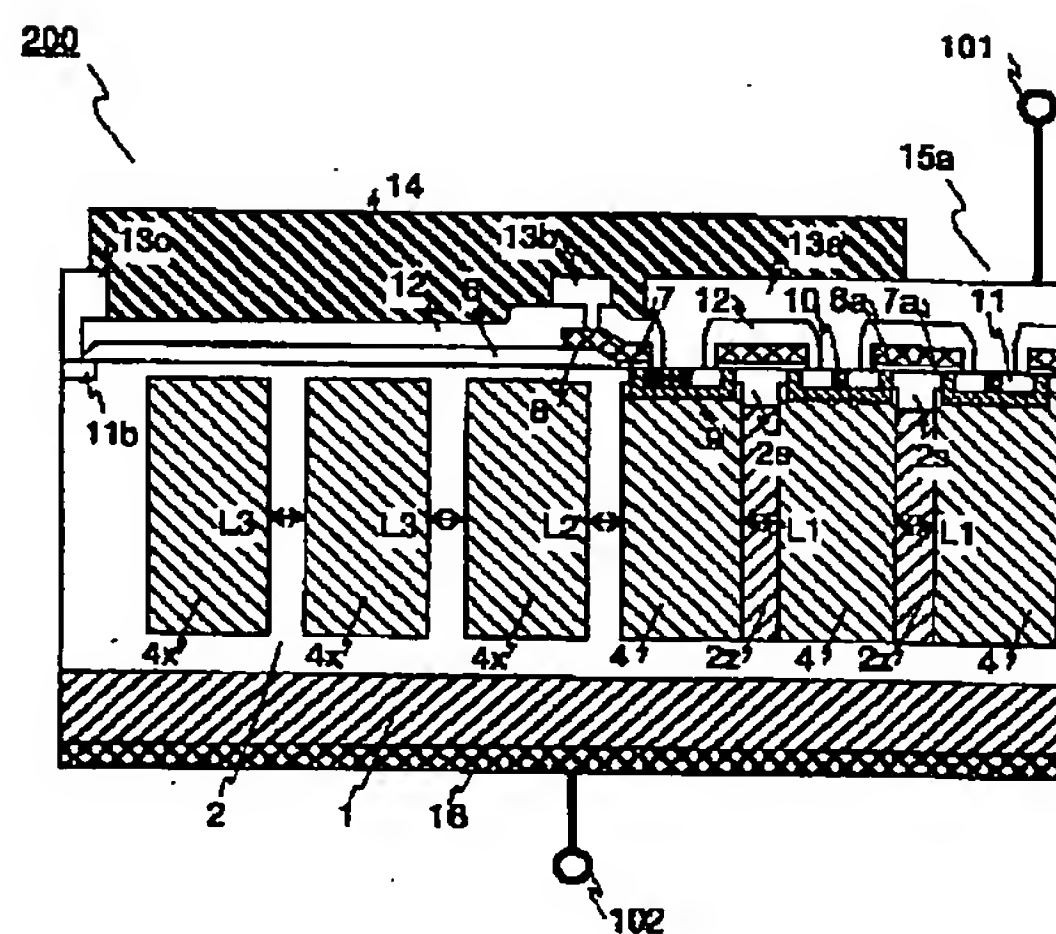
【図20】

図 20



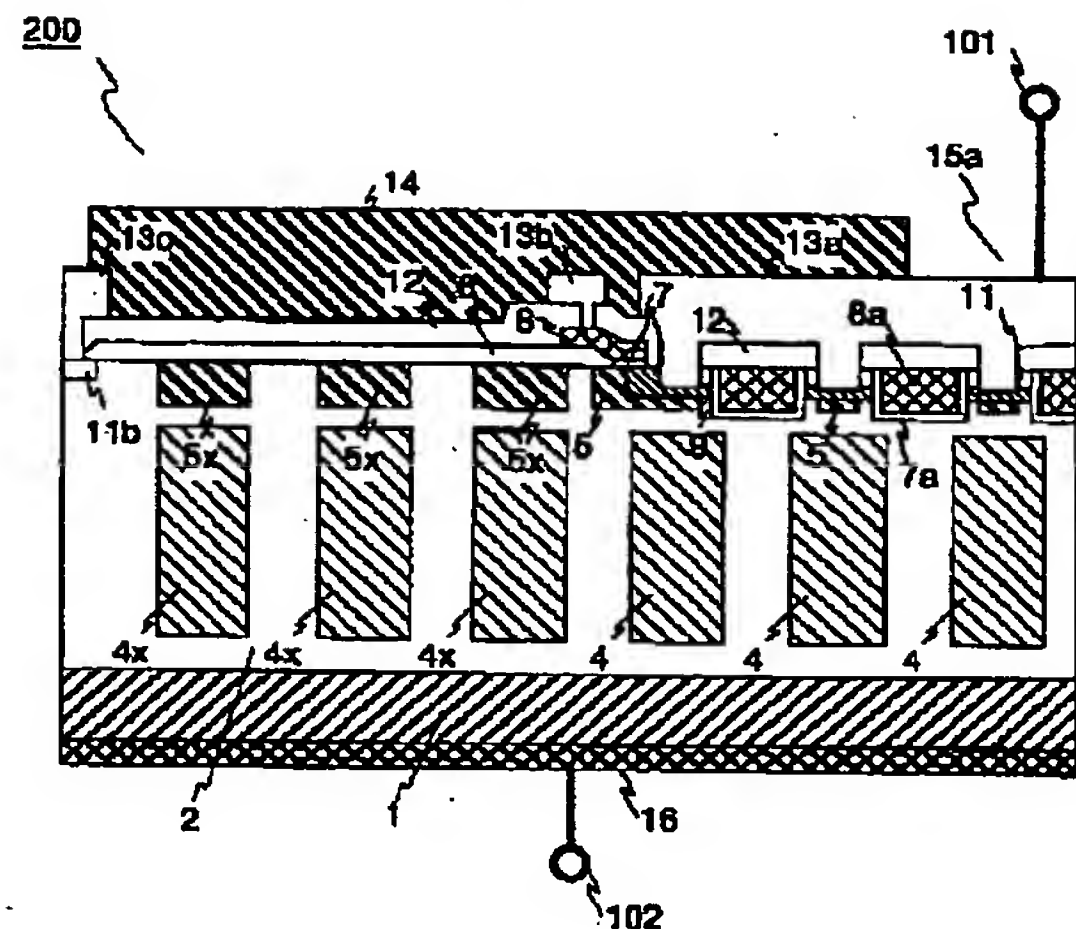
【図21】

図 21



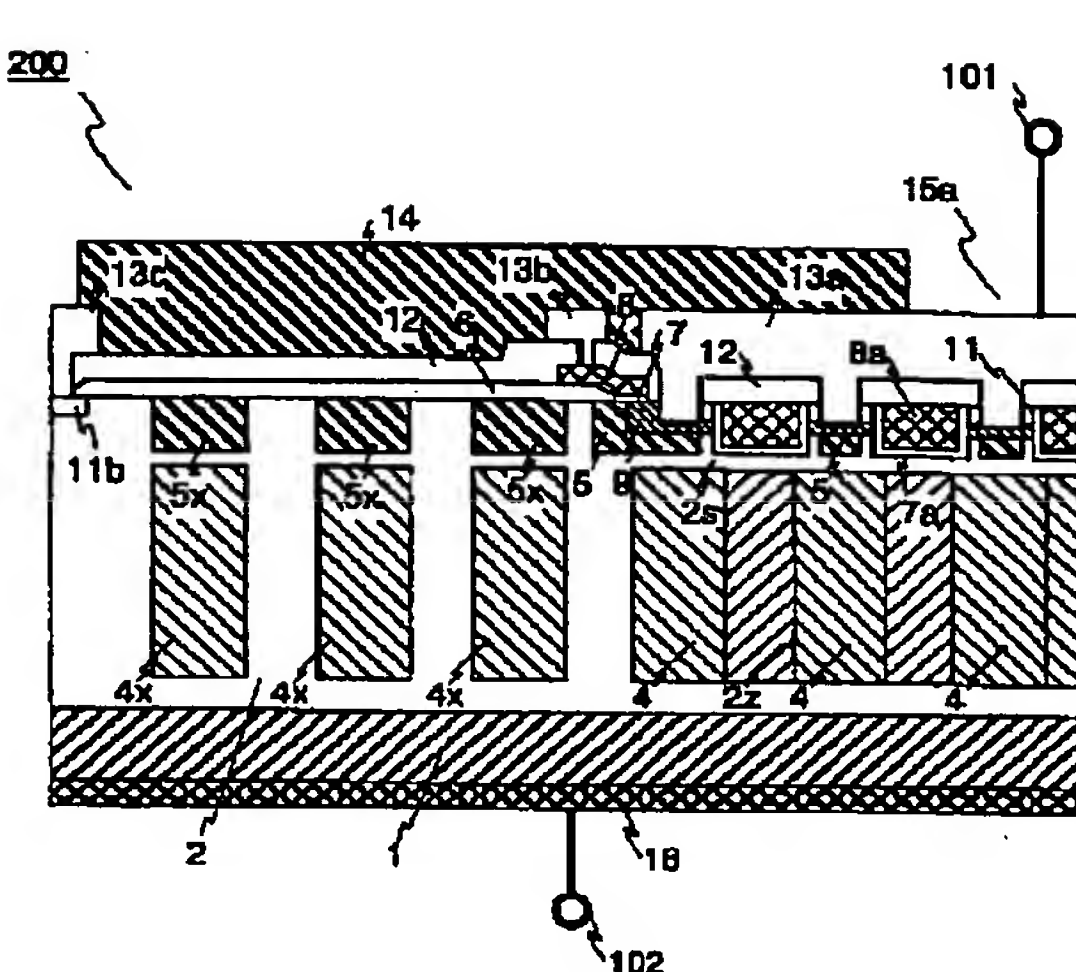
【図 2 2】

図 22



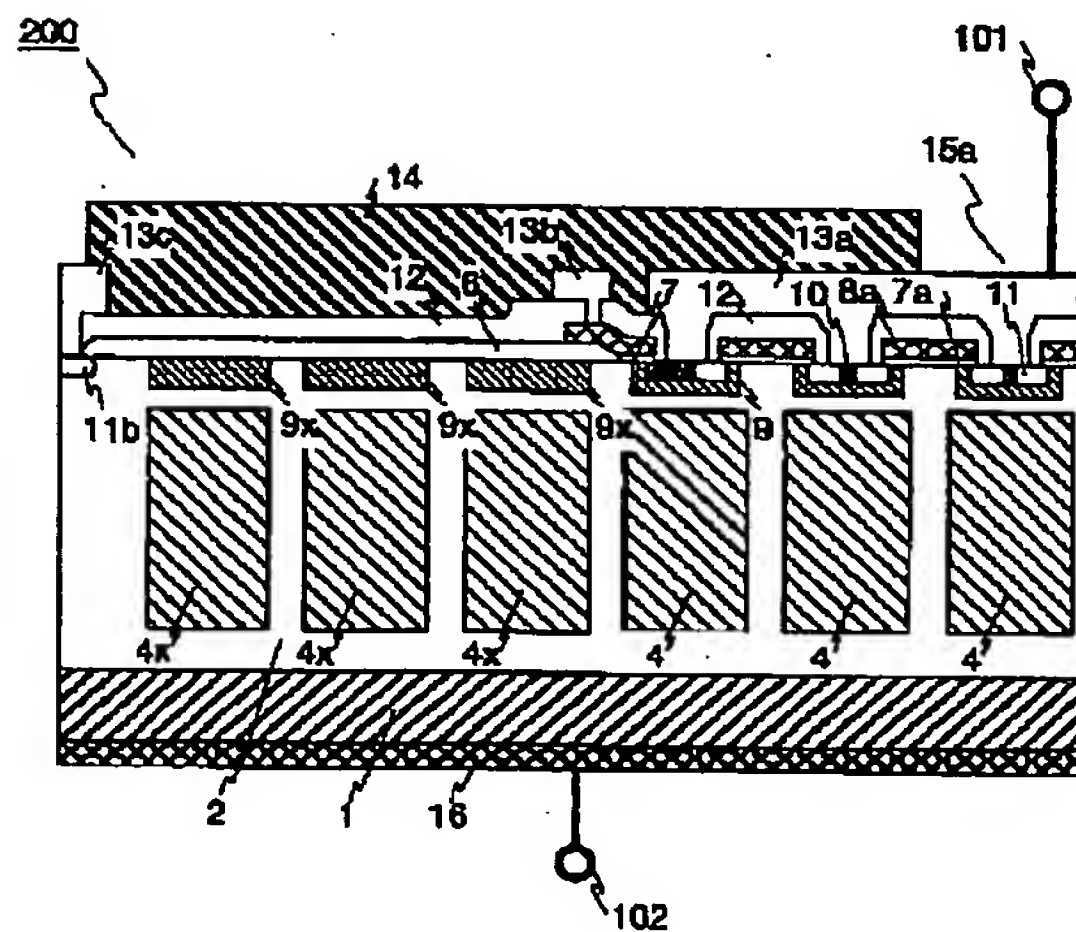
【図 2 3】

図 23



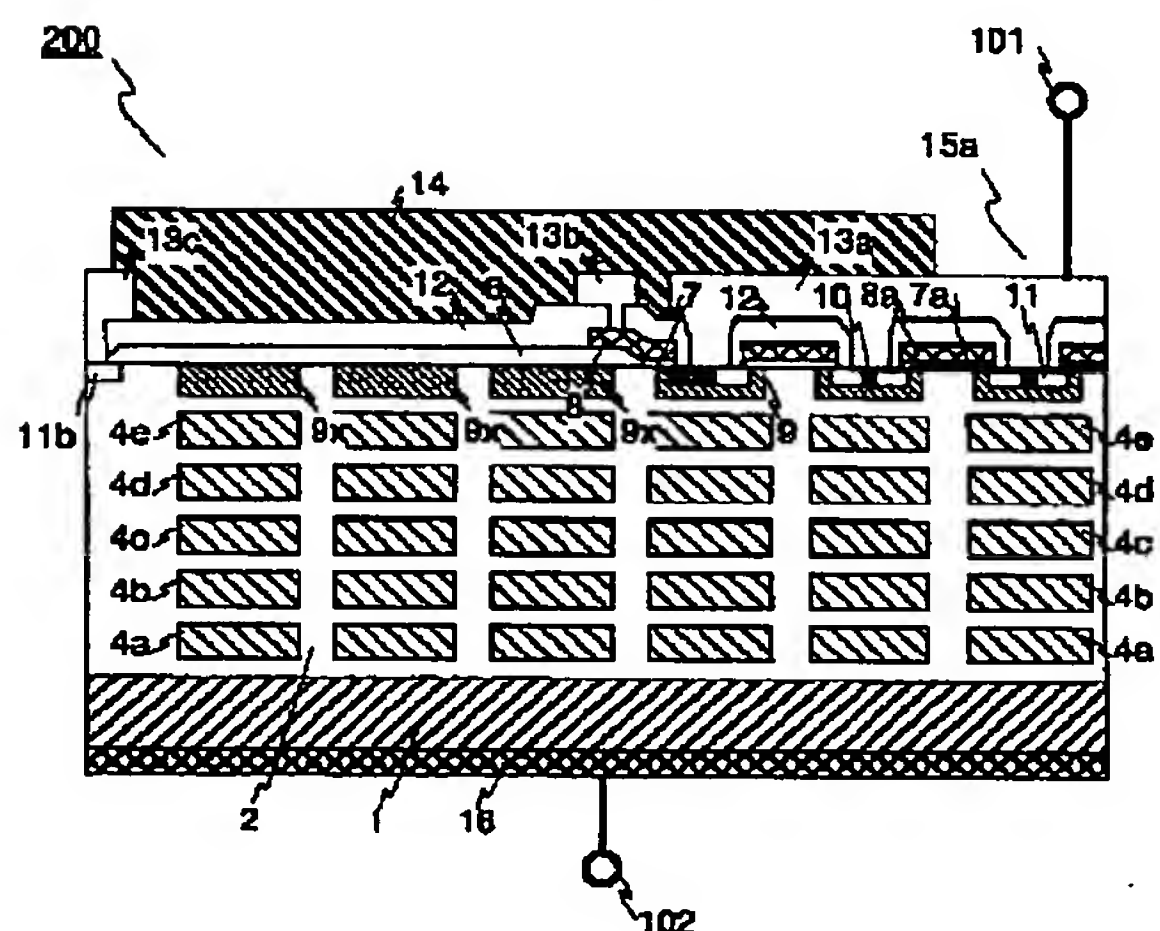
【図 2 4】

図 24



【図 2 5】

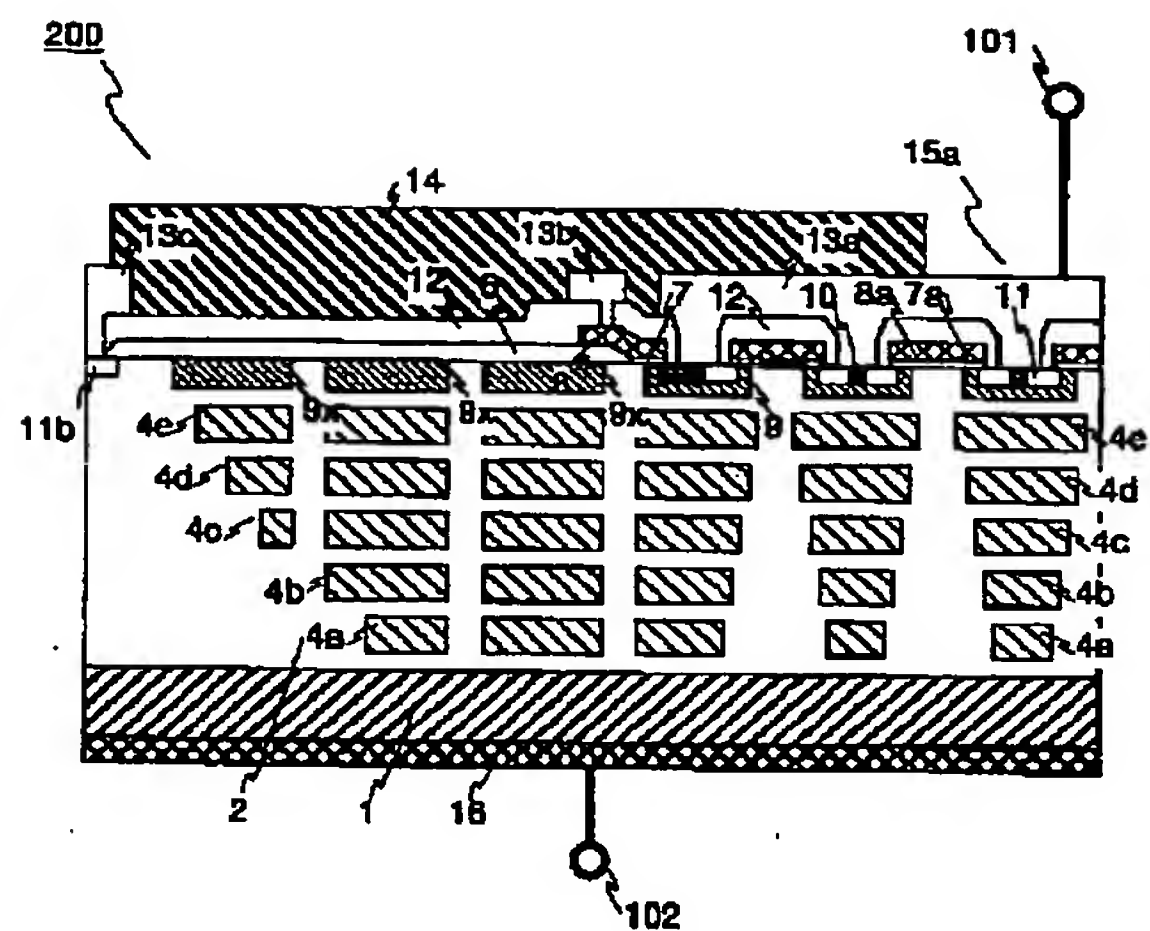
図 25





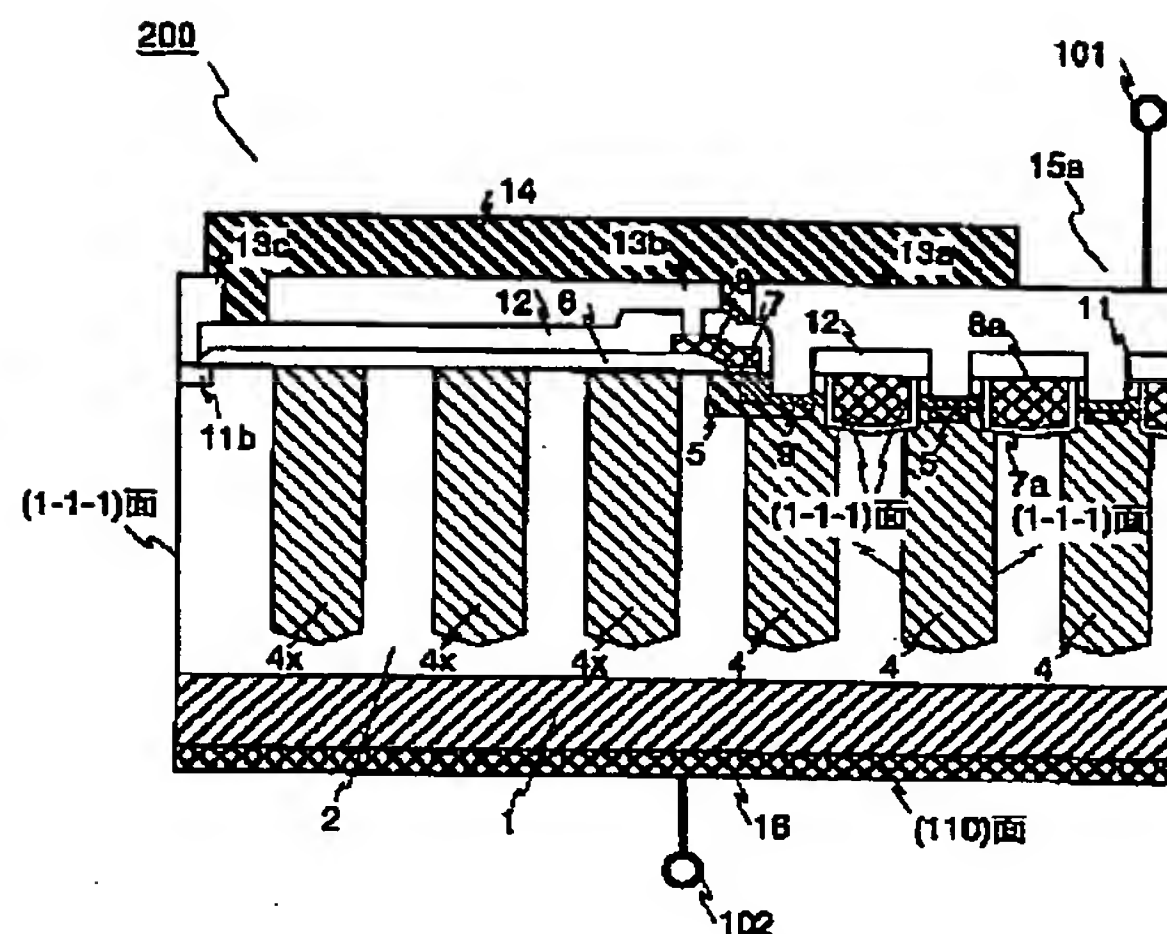
【図26】

図 26



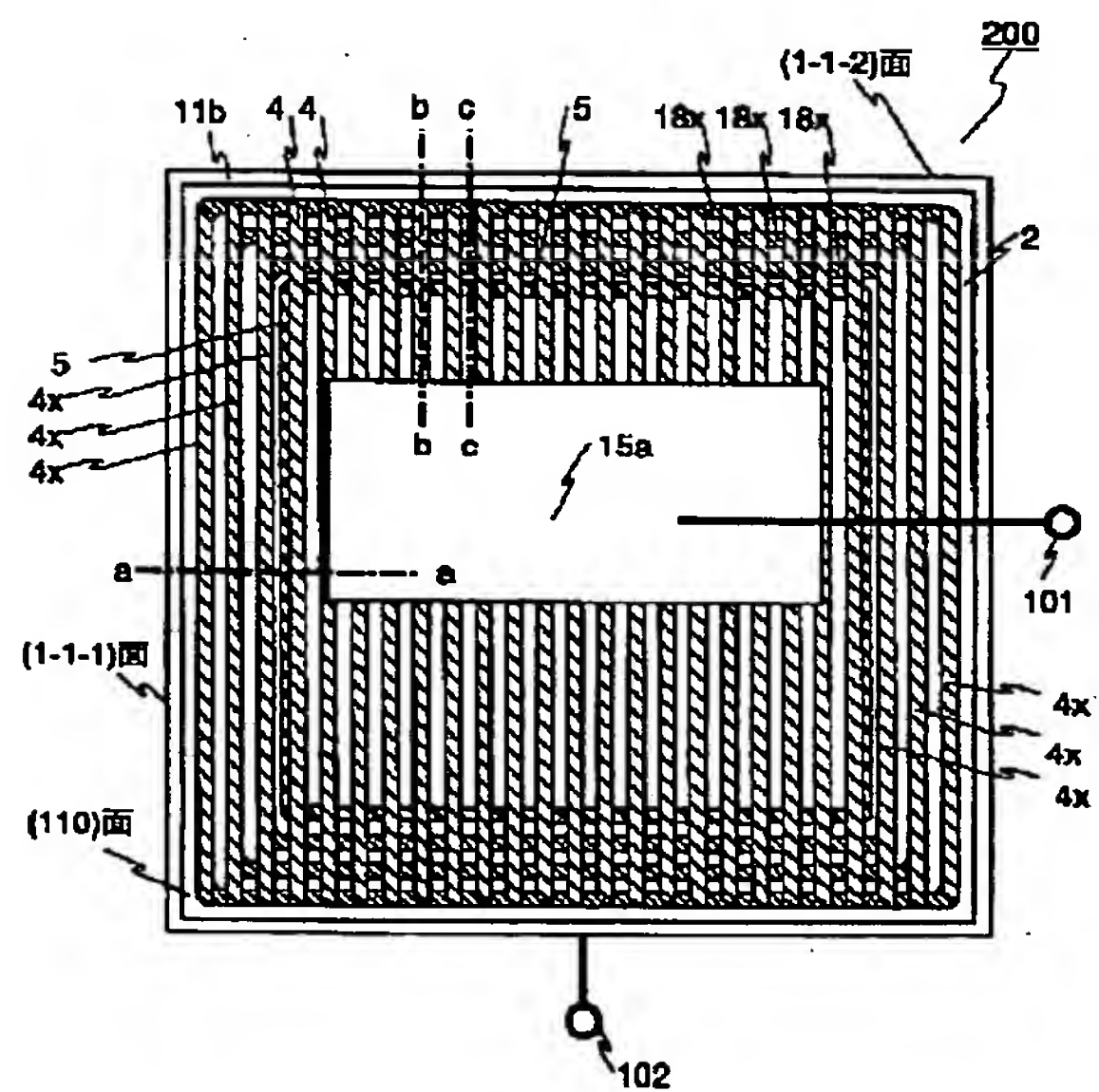
【図27】

図 27



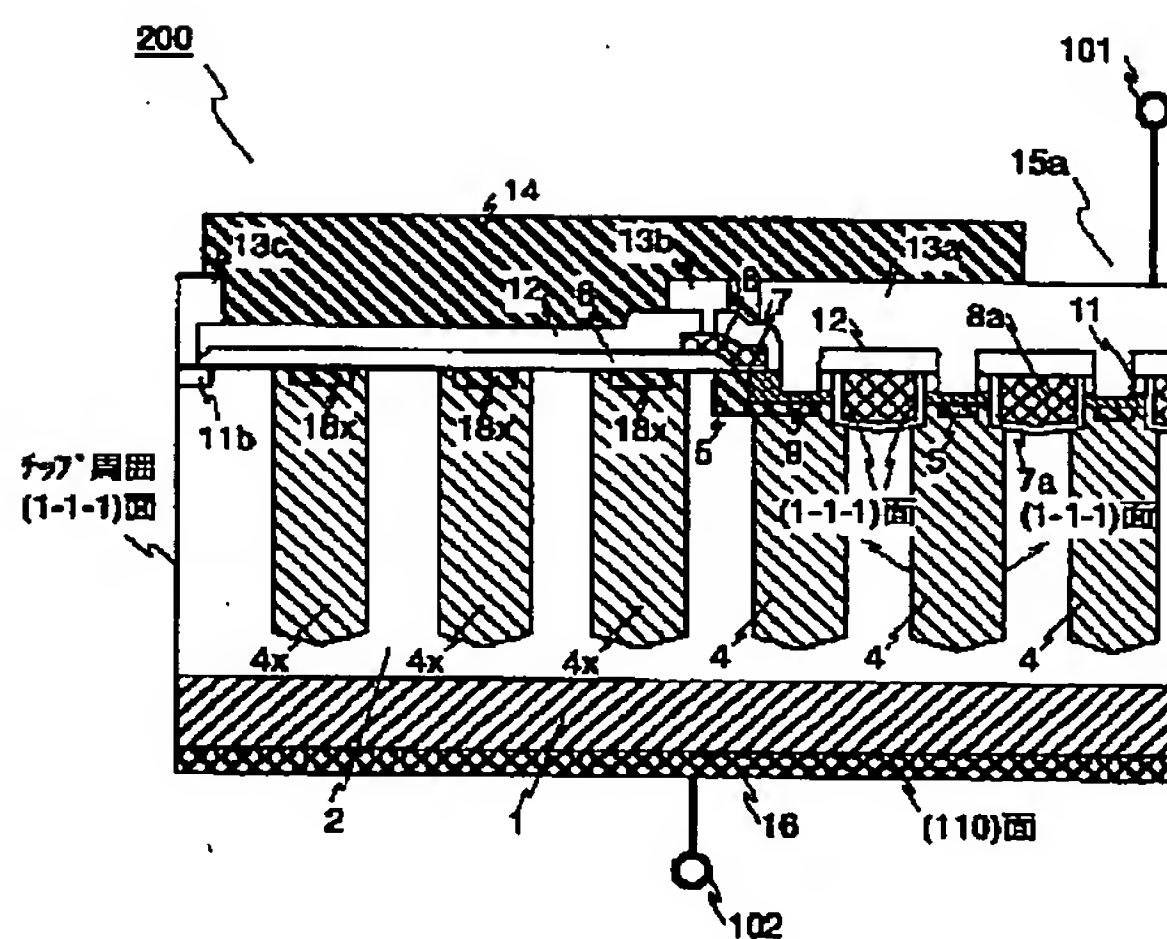
【図28】

図 28



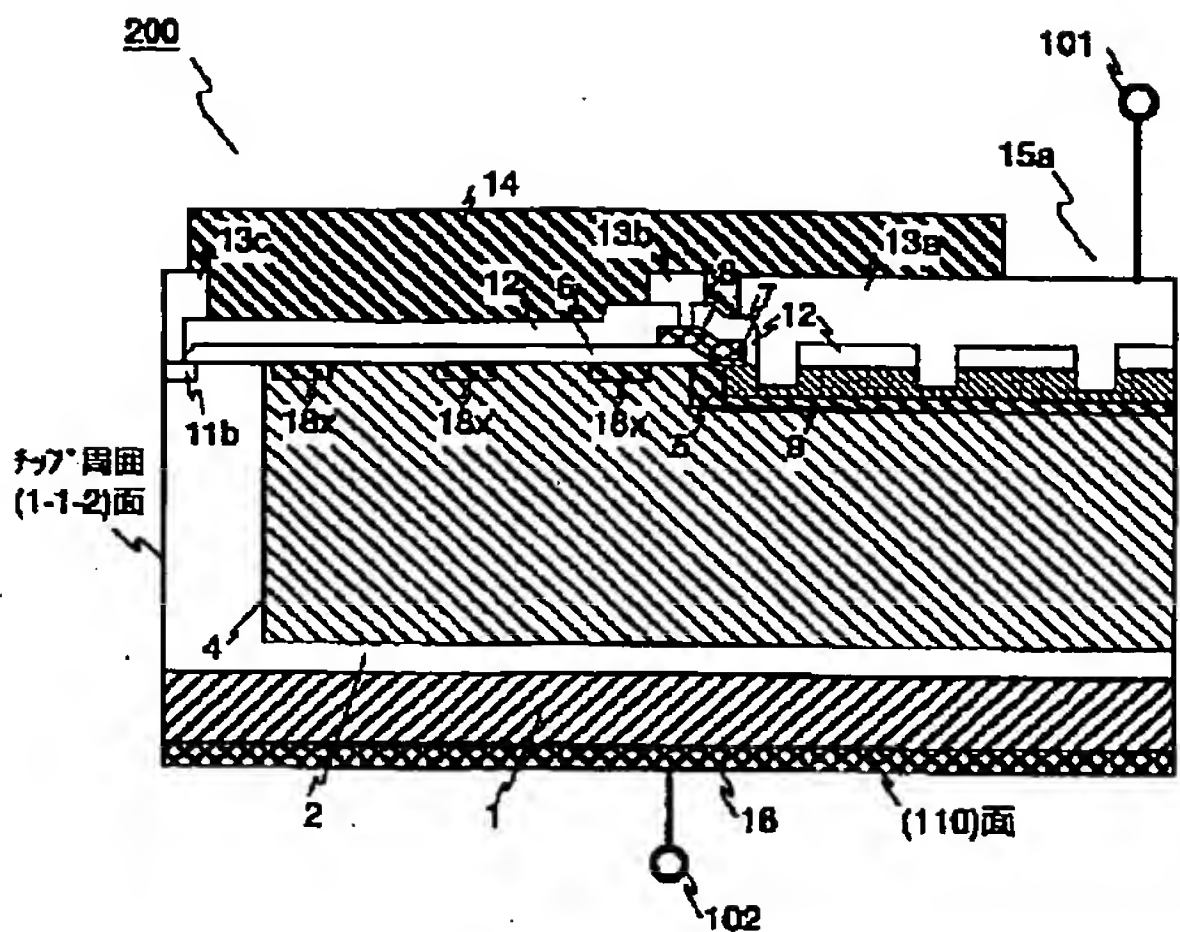
【図29】

図 29



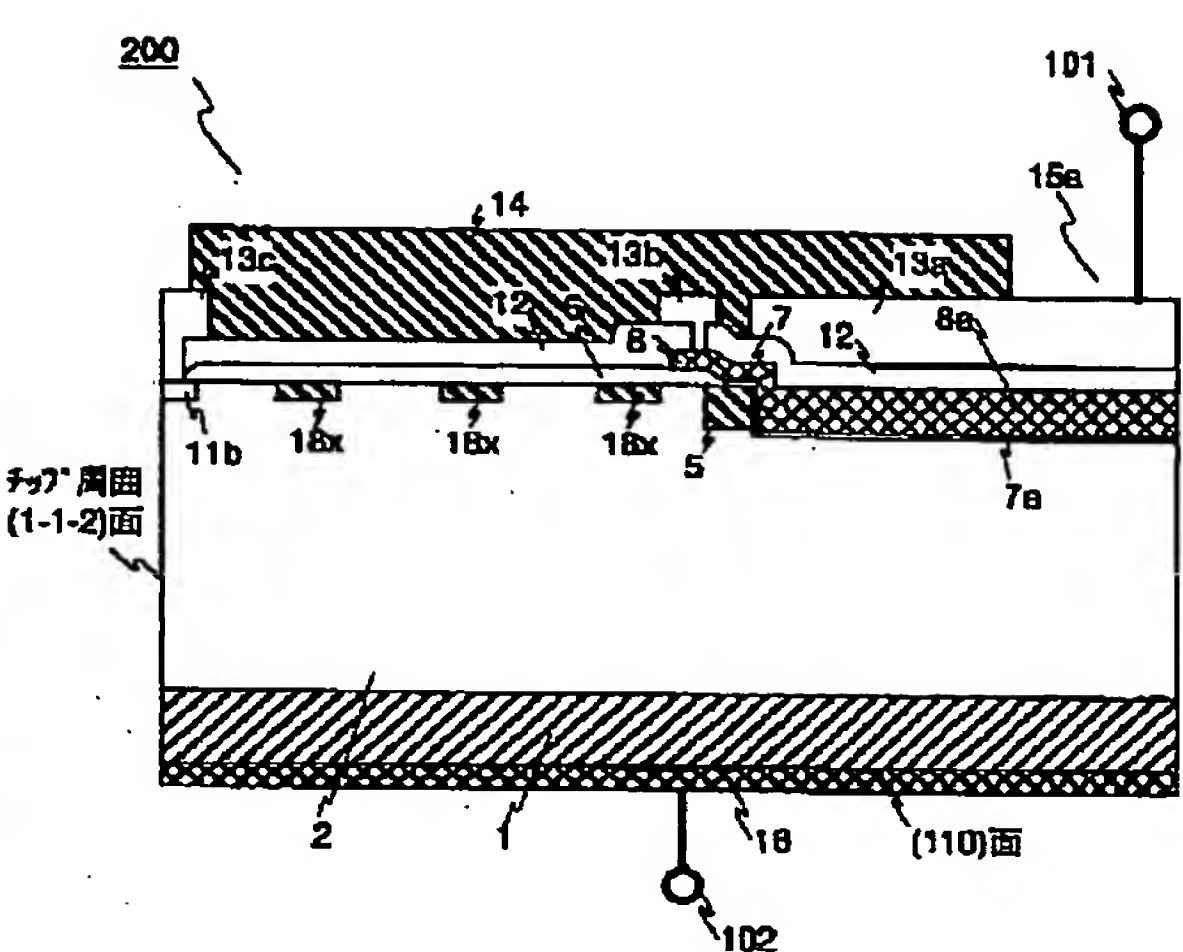
【図30】

図 30



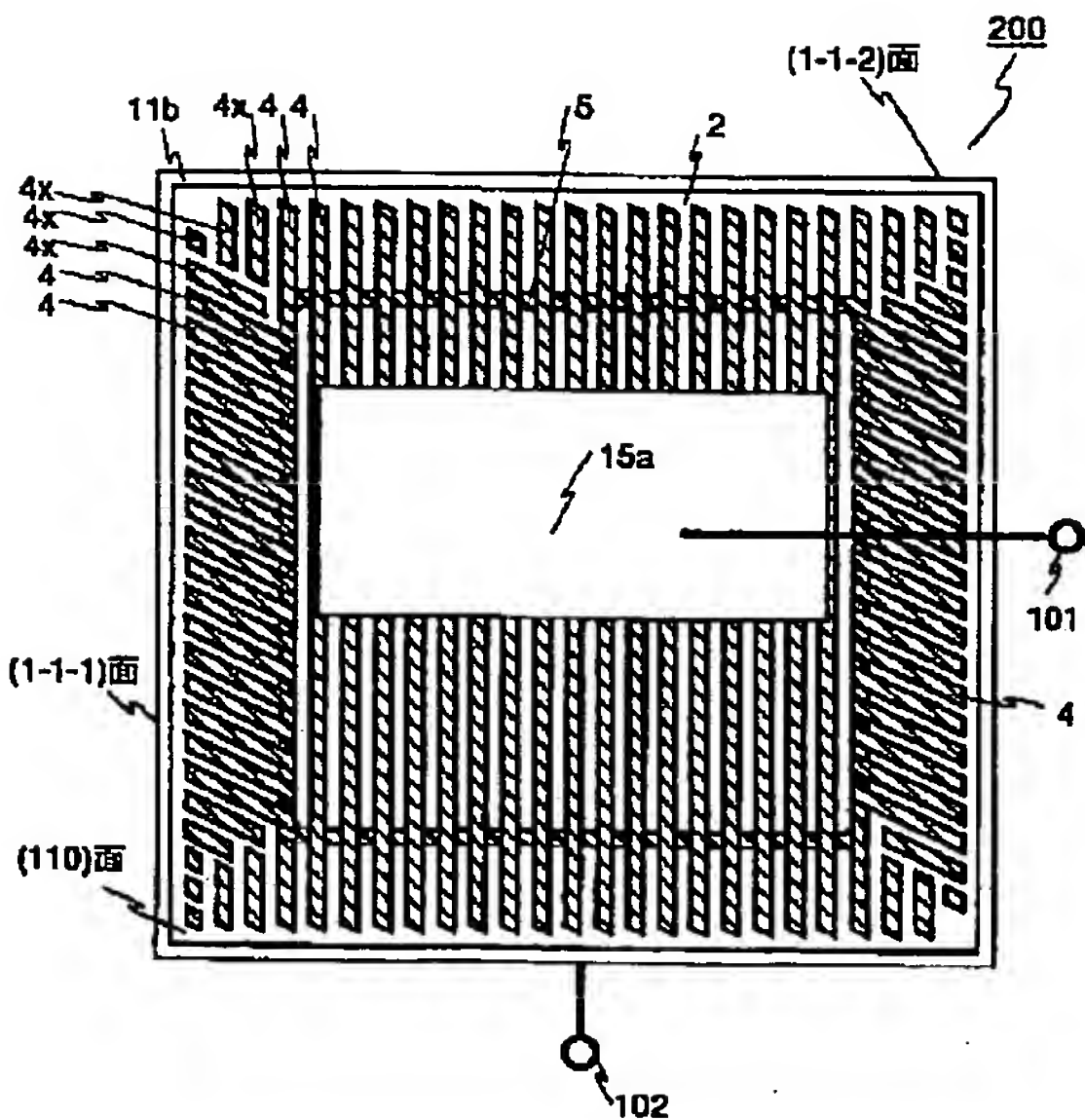
【図31】

図 31



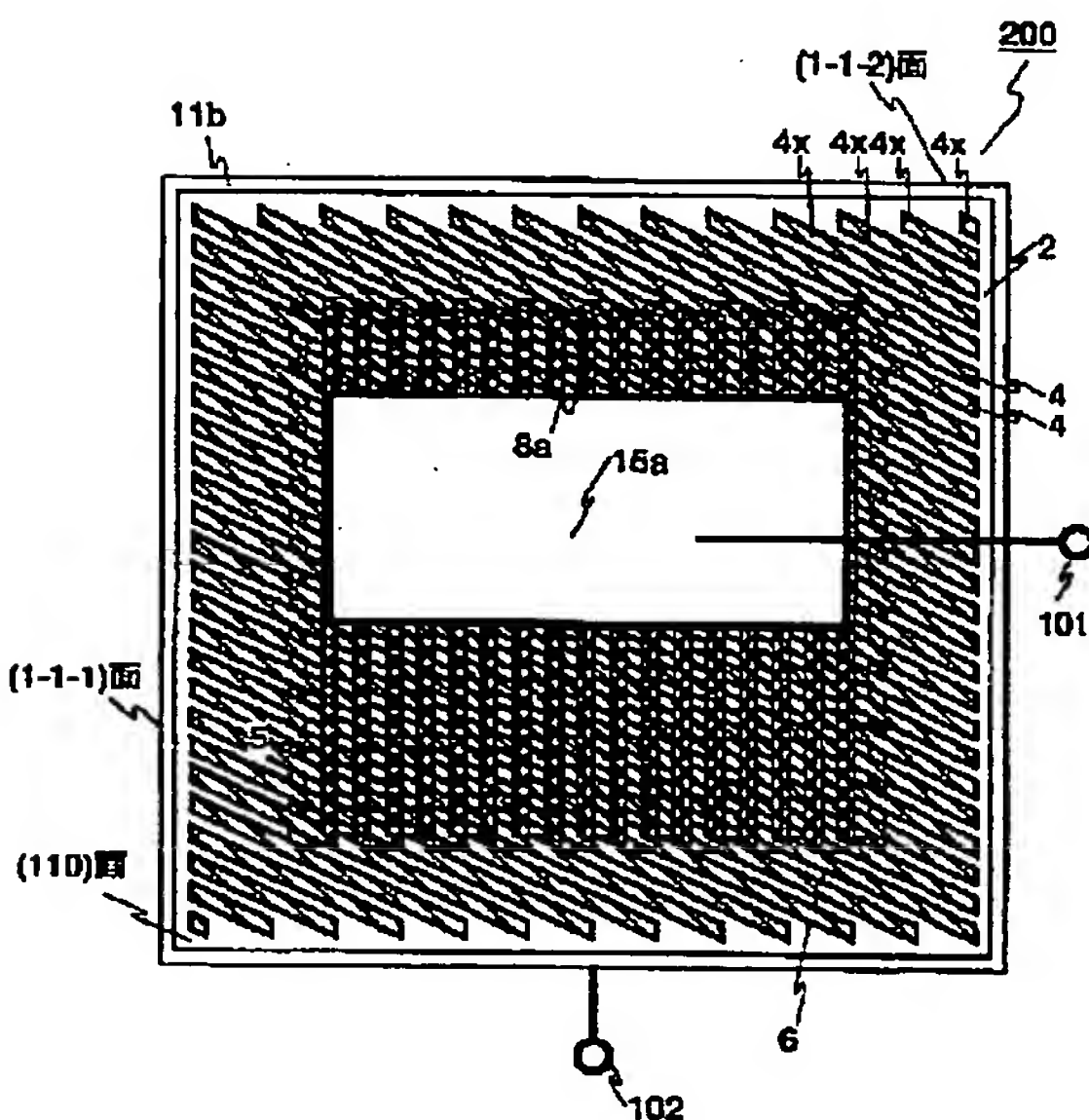
【図32】

図 32



【図33】

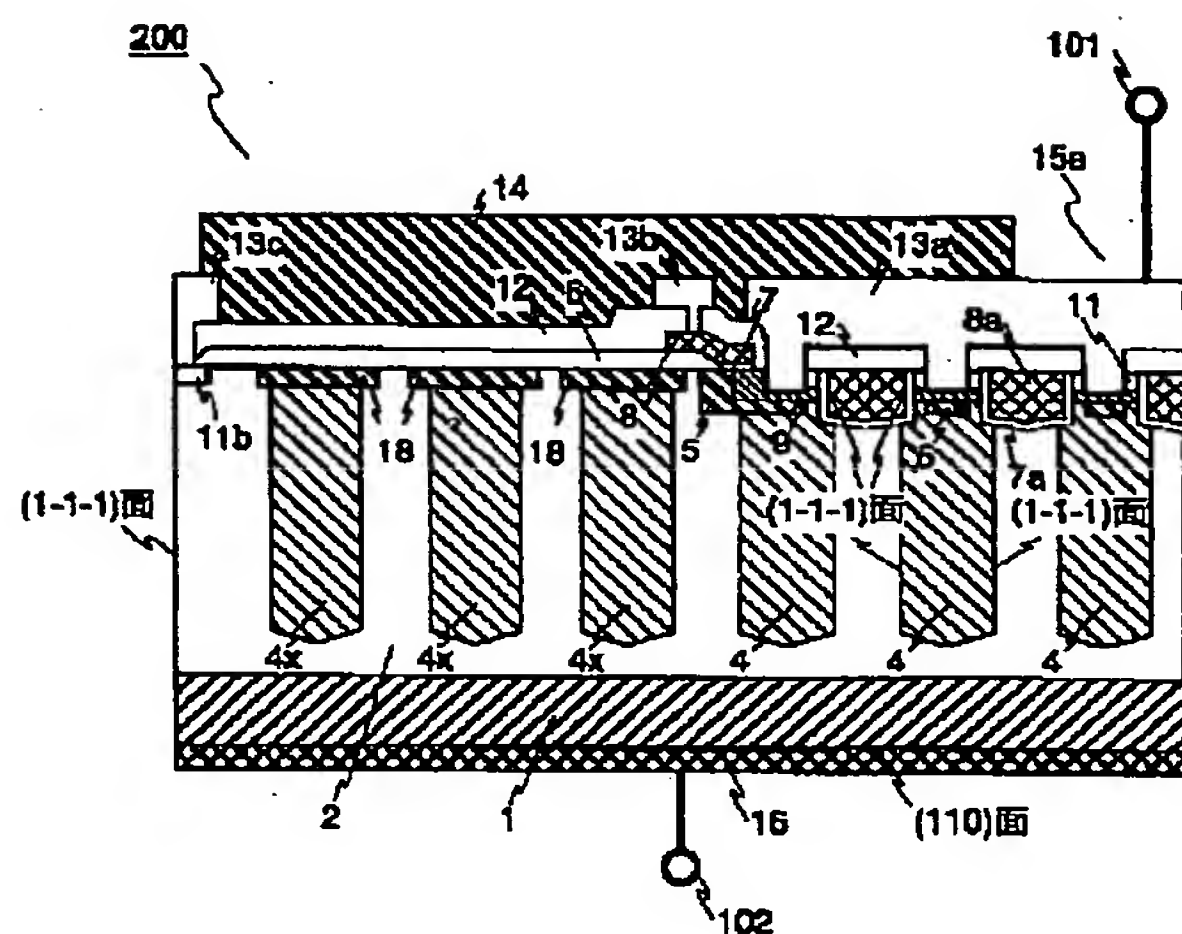
図 33





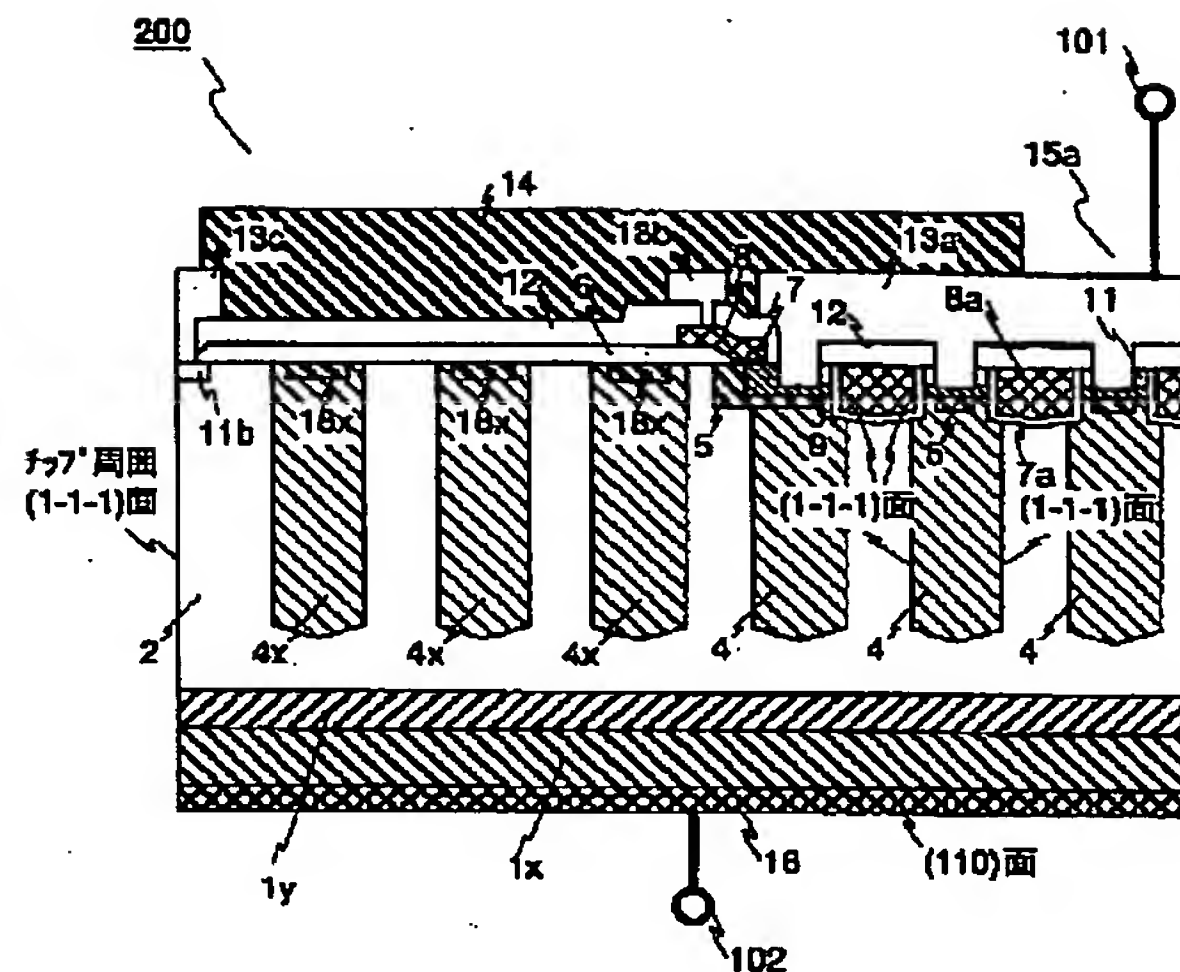
【图 3 4】

34



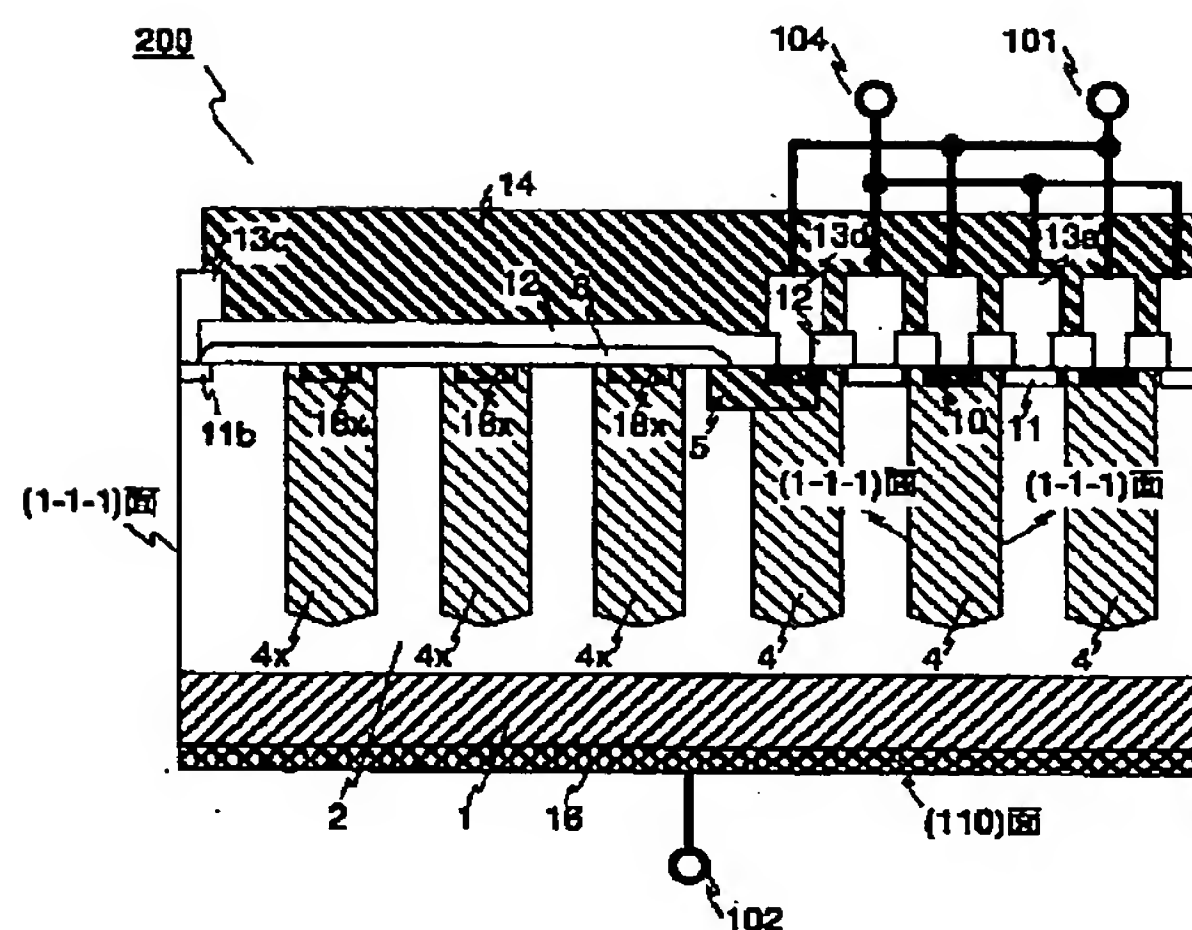
【图 3 5】

35



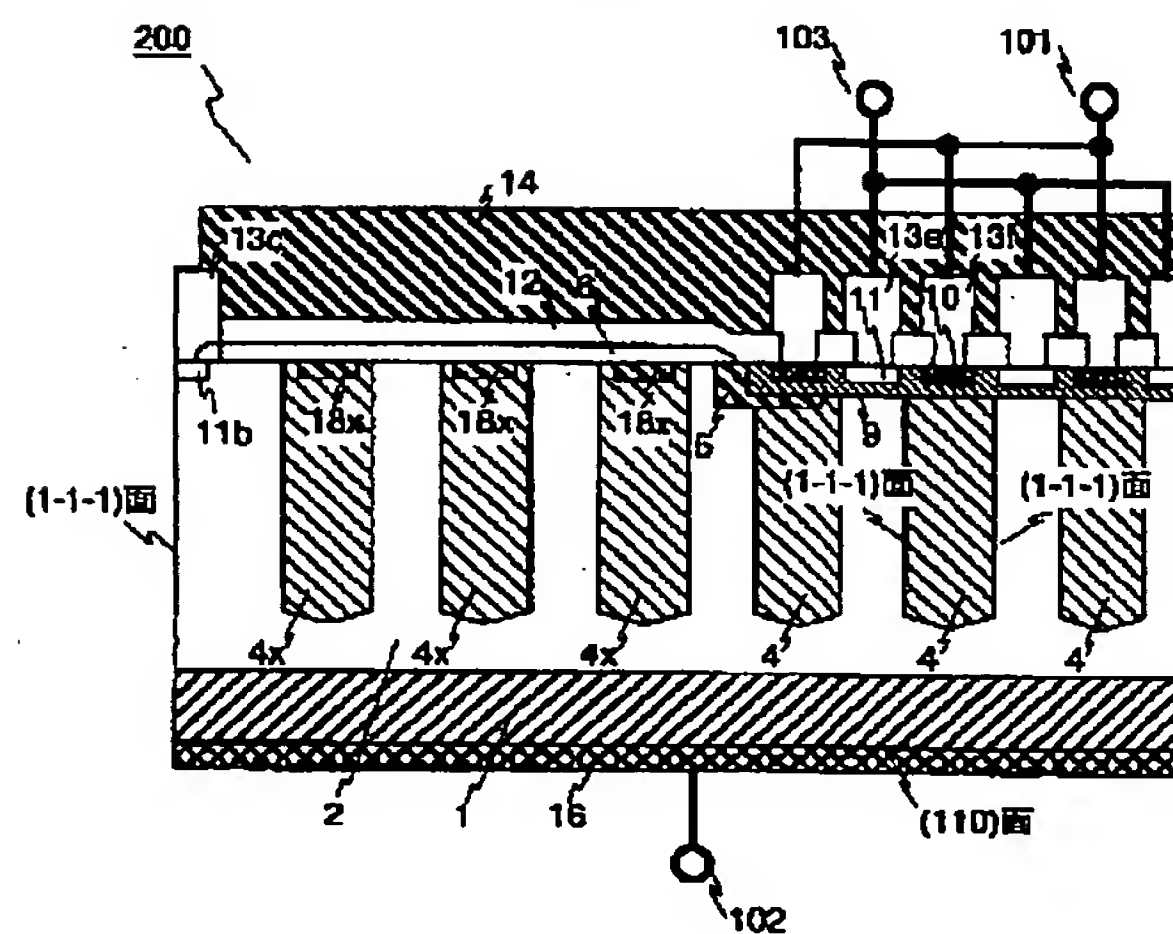
【图 3-6】

图 36



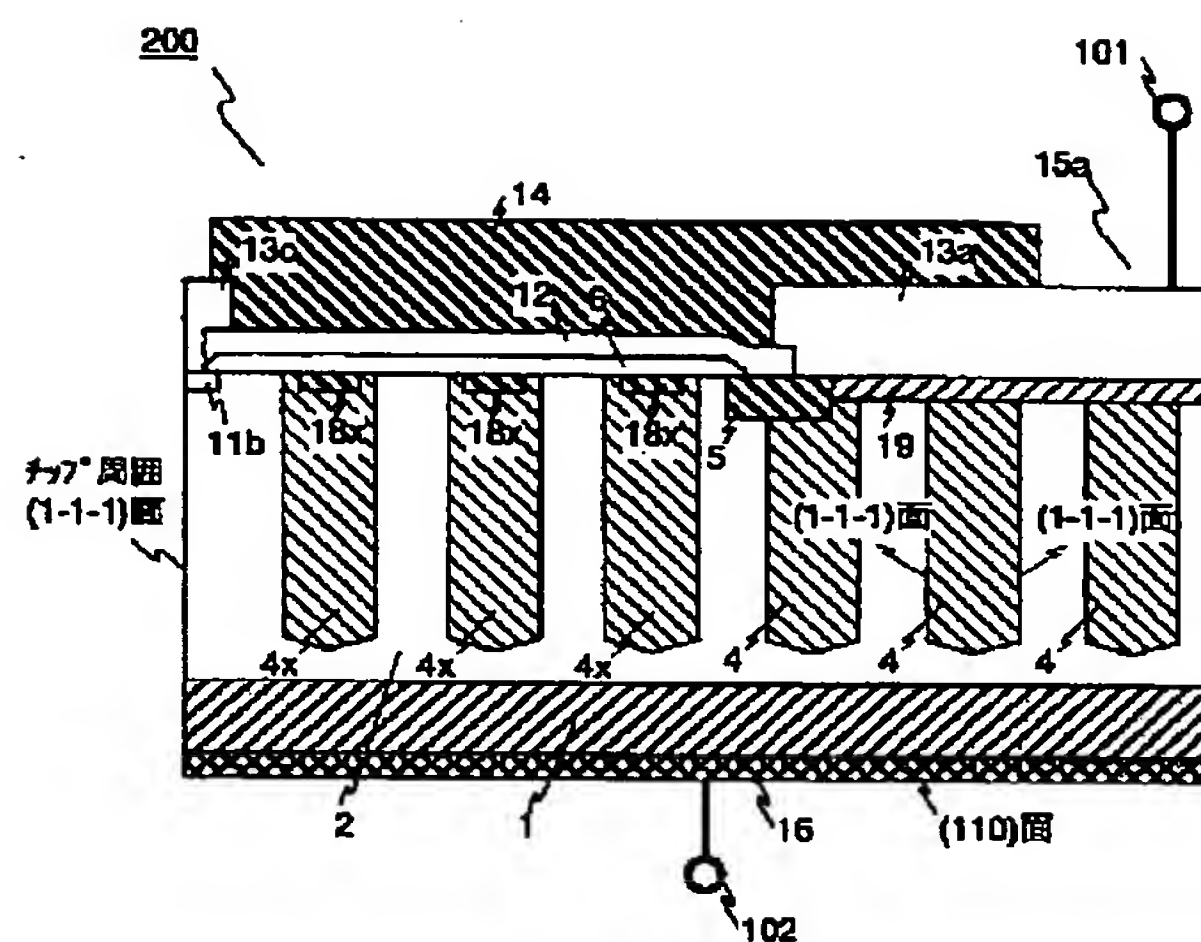
【图 3 7】

圖 37



【図38】

図 38



フロントページの続き

(72)発明者 宮内 昭浩  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72)発明者 白石 正樹  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72)発明者 森 睦宏  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72)発明者 渡辺 篤雄  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72)発明者 大柳 孝純  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内